

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 5 日
Date of Application:

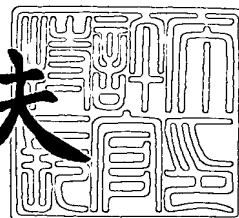
出 願 番 号 特 願 2 0 0 3 - 0 0 6 6 1 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 0 6 6 1 3]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 9 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 3 9 9 1

【書類名】 特許願

【整理番号】 J0095300

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/02

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 村田 昭浩

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100085198

 【弁理士】

 【氏名又は名称】 小林 久夫

 【電話番号】 03(3580)1936

【選任した代理人】

 【識別番号】 100061273

 【弁理士】

 【氏名又は名称】 佐々木 宗治

【選任した代理人】

 【識別番号】 100060737

 【弁理士】

 【氏名又は名称】 木村 三朗

【選任した代理人】

 【識別番号】 100070563

 【弁理士】

 【氏名又は名称】 大村 昇

【手数料の表示】**【予納台帳番号】** 044956**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び半導体装置

【特許請求の範囲】

【請求項 1】 電極の形成されたウエーハの前記電極の少なくとも一部を避けた状態となるようにウエーハ上に応力緩和層を形成する工程と、前記電極から前記応力緩和層上にかけて設けられる配線からなる配線層を形成する工程と、前記応力緩和層の上方で前記配線層の配線に接続される外部電極を形成する工程とを有する半導体装置の製造方法であって、

前記配線層を形成する工程の後に、前記配線において前記外部電極が接続される部分に、インクジェット法により誘電性液体を塗布して誘電体層を形成する工程を有し、前記半導体装置にキャパシタを形成することを特徴とする半導体装置の製造方法。

【請求項 2】 前記配線層を形成する工程の後に、前記配線層上に保護膜を形成する工程と、前記外部電極を形成する工程の前において、前記保護膜の前記外部電極に対応する少なくとも一部の領域に開口部を形成する工程と、を更に有し、前記誘電体層を形成する工程では、前記開口部に対しインクジェット法により誘電性液体を塗布することで前記誘電体層を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記誘電体層を形成する工程の後に、前記誘電体層を焼結する工程を有することを特徴とする請求項 1 又は請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記誘電体層を形成する工程の後に、前記誘電体層を焼結する工程と、該焼結した誘電体層の上に、導電性液体をインクジェット法により塗布して導電体層を形成する工程と、を更に有することを特徴とする請求項 1 又は請求項 2 記載の半導体装置の製造方法。

【請求項 5】 前記誘電体層を形成する工程では、インクジェット法により前記誘電性液体を塗布する吐出ヘッドによる前記誘電性液体の打ち込み回数を制御して前記誘電体層の厚みを制御することにより、所望の静電容量を有するキャパシタを形成することを特徴とする請求項 1 乃至請求項 4 の何れかに記載の半導

体装置の製造方法。

【請求項 6】 前記配線層を形成する工程の後において、応力緩和層と配線層とが交互に積層され、隣接する配線層同士が電氣的に接続されるとともに、最上層の配線層の配線が前記外部電極に接続される多層配線層を形成する工程を更に有し、該多層配線層を形成する工程において、前記多層配線層において隣接する配線層同士が電氣的に接続される部分のその配線層間、又は、最上層の配線層と前記外部電極との間に前記誘電体層を形成することにより前記キャパシタを形成することを特徴とする請求項 1 乃至請求項 5 の何れかに記載の半導体装置の製造方法。

【請求項 7】 電極の形成されたウエーハの前記電極の少なくとも一部を避けた状態となるようにウエーハ上に応力緩和層を形成する工程と、前記電極から前記応力緩和層上にかけて設けられる配線からなる配線層を形成する工程と、前記応力緩和層の上方で前記配線層の配線に接続される外部電極を形成する工程とを有する半導体装置の製造方法であって、

配線層を形成する工程の後において、インクジェット法により導電性液体を渦巻状に塗布することにより、前記配線に電氣的に接続されるインダクタを、前記応力緩和層上に形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 8】 前記配線層を形成する工程の後において、前記配線層上に保護膜を形成する工程と、前記インダクタを形成する工程の前において、前記保護膜に前記インダクタに対応する渦巻状の開口パターンを形成する工程と、を更に有し、前記インダクタを形成する工程では、前記開口パターンにインクジェット法により導電性液体を塗布することで前記インダクタを形成することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記インダクタを形成する工程の前において、前記応力緩和層に渦巻状の表面粗化処理を行う工程を有し、前記インダクタを形成する工程では、前記表面粗化処理が行われた前記渦巻状の部分にインクジェット法により導電性液体を塗布することにより前記インダクタを形成することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 1 0】 前記表面粗化処理を、レーザアブレーション又はサンドブ

ラストにより実施することを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 1 1】 前記インダクタを形成する工程では、インクジェット法により前記導電性液体を塗布する吐出ヘッドの前記導電性液体の打ち込み回数を制御して前記導電層の厚みを制御することにより、所望の抵抗値を有するインダクタを形成することを特徴とする請求項 7 乃至請求項 1 0 の何れかに記載の半導体装置の製造方法。

【請求項 1 2】 前記インダクタを形成する工程では、インクジェット法を用いて前記導電性液体を塗布する吐出ヘッドの動作を制御して前記渦巻状の巻数を制御することにより、所望のインダクタンスを有するインダクタを形成することを特徴とする請求項 7 乃至請求項 1 1 の何れかに記載の半導体装置の製造方法。

【請求項 1 3】 前記配線層を形成する工程の後において、応力緩和層と配線層とが交互に積層され、隣接する配線層同士が電氣的に接続されるとともに、最上層の配線層の配線が前記外部電極に接続される多層配線層を形成する工程を更に有し、該多層配線層を形成する工程において、前記多層配線層内の少なくとも 1 つの配線層を、インクジェット法により導電性液体を渦巻状に塗布して形成することにより前記インダクタとすることを特徴とする請求項 7 乃至請求項 1 2 の何れかに記載の半導体装置の製造方法。

【請求項 1 4】 電極の形成されたウエーハの前記電極の少なくとも一部を避けた状態となるようにウエーハ上に応力緩和層を形成する工程と、前記電極から前記応力緩和層上にかけて設けられる配線からなる配線層を形成する工程と、前記応力緩和層の上方で前記配線層の配線に接続される外部電極を形成する工程とを有する半導体装置の製造方法であって、

前記配線層を形成する工程の後において、応力緩和層と配線層とが交互に積層され、隣接する配線層同士が電氣的に接続されるとともに、最上層の配線層の配線が前記外部電極に接続される多層配線層を形成する工程を更に有し、該多層配線層を形成する工程は、隣接する配線層同士が電氣的に接続される部分のその配線層間、又は、最上層の配線層と前記外部電極との間に誘電体層を備えてなるキャパシタと、前記多層配線層の少なくとも 1 つ配線層が渦巻状に形成されて構成

されるインダクタとをそれぞれ少なくとも1つずつ有するフィルターを形成する工程を含み、該フィルターを形成する工程において、前記誘電体層を、インクジェット法により誘電性液体を塗布することにより形成し、前記インダクタを、インクジェット法により導電性液体を渦巻状に塗布することにより形成することを特徴とする半導体装置の製造方法。

【請求項15】 電極の形成されたウエーハの前記電極の少なくとも一部を避けた状態となるようにウエーハ上に応力緩和層を形成する工程と、前記電極から前記応力緩和層上にかけて設けられる配線からなる配線層を形成する工程と、前記応力緩和層の上方で前記配線層の配線に接続される外部電極を形成する工程とを有する半導体装置の製造方法であって、

前記配線層を形成する工程の後において、応力緩和層と配線層とが交互に積層され、隣接する配線層同士が電氣的に接続されるとともに、最上層の配線層の配線が前記外部電極に接続される多層配線層を形成する工程を更に有し、該多層配線層を形成する工程では、応力緩和層の一面側の配線層がマイクロストリップライン構造の線路となるように、前記応力緩和層の他方の面側の配線層を面状に形成してGNDプレーンとし、前記マイクロストリップライン構造の線路をインクジェット法により導電性液体を塗布することにより、互いに電磁結合され一定量離間する複数本のストリップ線路を形成してバンドパスフィルタを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項16】 請求項1乃至請求項15の何れかに記載の半導体装置の製造方法により製造された半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CSP（chip scale package）構造の半導体装置の製造方法および半導体装置に関するものである。

【0002】

【従来の技術】

半導体装置の高密度実装を追求すると、ベアチップ実装が理想的である。しか

しながら、ベアチップは品質の保証及び取り扱いが難しい。そこで、チップサイズに近いパッケージのCSP (chip scale package) が開発されている。近年では、電子機器の更なる小型化の要求により、更なる高密度実装が要望され、基板上においてCSPの周囲に実装されていた受動部品をCSPに内蔵させてパッケージ化するようにした技術が開発されている。例えば、キャパシタをCSPに内蔵させた技術として、「回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置の製造方法において、前記半導体基板の回路素子形成領域上に絶縁膜を介して第1の導体層を形成する工程と、前記第1の導体層上に誘電体層を形成するとともに、前記誘電体層上に第2の導体層を設けて前記回路素子形成領域上に積層して容量素子を形成する工程と」を具備するものがある（例えば特許文献1）。

【0003】

また、インダクタをCSPに内蔵させた技術として、「回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第1の導体層と、前記複数の第1の導体層上に設けられた複数の柱状電極と、を備える半導体装置の製造方法において、前記絶縁体上に少なくとも1つの第2の導体層を形成する工程と、該第2の導体層により誘導素子を形成する工程と」を具備するものがある（例えば特許文献2）。

【0004】

【特許文献1】

特開 2002-57291号公報

【特許文献2】

特開 2002-57292号公報

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来技術では、受動部品を形成するに際し、具体的な製造

方法としてスパッタ法、フォトリソグラフィ法及び電界メッキ法などが用いられており、必要工程数が多くなってコスト高となる問題点があった。

【0006】

本発明は、このような点に鑑みなされたもので、製造工程を簡略化してコスト低減を図ることの可能な半導体装置の製造方法及び半導体製造装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、電極の形成されたウエーハの電極の少なくとも一部を避けた状態となるようにウエーハ上に応力緩和層を形成する工程と、電極から応力緩和層上にかけて設けられる配線からなる配線層を形成する工程と、応力緩和層の上方で配線層の配線に接続される外部電極を形成する工程とを有する半導体装置の製造方法であって、配線層を形成する工程の後に、配線において外部電極が接続される部分に、インクジェット法により誘電性液体を塗布して誘電体層を形成する工程を有し、半導体装置にキャパシタを形成するものである。これにより、スパッタ法及びフォトリソグラフィ法を用いた薄膜形成技術によって誘電体層を形成する場合に比べて製造工程が簡略化される。その結果、生産性が向上し、コスト低減を図ることが可能となる。

【0008】

また、本発明に係る半導体装置の製造方法は、上記配線層を形成する工程の後において、配線層上に保護膜を形成する工程と、外部電極を形成する工程の前において、保護膜の外部電極に対応する少なくとも一部の領域に開口部を形成する工程と、を更に有し、上記誘電体層を形成する工程では、開口部に対しインクジェット法により誘電性液体を塗布することで誘電体層を形成するものである。これにより、開口部の内側面がガイドとなって開口部内に誘電性液体を収容することができる。よって、開口部内の体積を所定体積に設定した上で打ち込み回数の制御を行うことにより、精度の高い膜厚のコントロールが可能となる。

【0009】

また、本発明に係る半導体装置の製造方法は、上記誘電体層を形成する工程の

後において、誘電体層を焼結する工程を有するものである。これにより、誘電体層の誘電率が高まると共に、誘電率が安定する。

【0010】

また、本発明に係る半導体装置の製造方法は、上記誘電体層を形成する工程の後において、誘電体層を焼結する工程と、焼結した誘電体層の上に、導電性液体をインクジェット法により塗布して導電体層を形成する工程とを実施するようにしてもよい。

【0011】

また、本発明に係る半導体装置の製造方法は、上記誘電体層を形成する工程では、インクジェット法により誘電性液体を塗布する吐出ヘッドによる誘電性液体の打ち込み回数を制御して誘電体層の厚みを制御することにより、所望の静電容量を有するキャパシタを形成するものである。このように、インクジェット法を用いることにより、最終的に形成されるキャパシタの静電容量を容易にコントロールすることが可能となる。

【0012】

また、本発明に係る半導体装置の製造方法は、上記配線層を形成する工程の後において、応力緩和層と配線層とが交互に積層され、隣接する配線層同士が電氣的に接続されるとともに、最上層の配線層の配線が前記外部電極に接続される多層配線層を形成する工程を更に有し、多層配線層を形成する工程において、多層配線層において隣接する配線層同士が電氣的に接続される部分のその配線層間、又は、最上層の配線層と前記外部電極との間に前記誘電体層を形成することによりキャパシタを形成し、多層配線層を形成する工程の後、多層配線層の最上層の配線層上に外部電極を形成するものである。このように、多層配線層を有する半導体装置においても、上記と同様にしてキャパシタを形成することが可能である。

【0013】

本発明に係る半導体装置の製造方法は、電極の形成されたウエーハの電極の少なくとも一部を避けた状態となるようにウエーハ上に応力緩和層を形成する工程と、電極から応力緩和層上にかけて設けられる配線からなる配線層を形成する工

程と、応力緩和層の上方で配線層の配線に接続される外部電極を形成する工程とを有する半導体装置の製造方法であって、配線層を形成する工程の後において、インクジェット法により導電性液体を渦巻状に塗布することにより、配線に電氣的に接続されるインダクタを、応力緩和層上に形成する工程を有するものである。これにより、スパッタ法、フォトリソグラフィ法及び電界メッキ法を用いた薄膜形成技術により渦巻状の導電体層で成るインダクタを形成する場合に比べて製造工程が簡略化される。その結果、生産性が向上し、コスト低減を図ることが可能となる。

【0014】

また、本発明に係る半導体装置の製造方法は、上記配線層を形成する工程の後において、配線層上に保護膜を形成する工程と、インダクタを形成する工程の前において、保護膜にインダクタに対応する渦巻状の開口パターンを形成する工程と、を更に有し、インダクタを形成する工程では、開口パターンにインクジェット法により導電性液体を塗布することでインダクタを形成するものである。これにより、開口パターンの内側面がガイドとなって開口パターン内に導電性液体を収容することができる。よって、開口パターンの精度、換言すればフォトリソグラフィによるレジストパターンの精度で配線幅を決定できるので、インダクタを精度良く形成することができる。

【0015】

また、本発明に係る半導体装置の製造方法は、上記インダクタを形成する工程の前において、応力緩和層に渦巻状の表面粗化処理を行う工程を有し、インダクタを形成する工程では、表面粗化処理が行われた渦巻状の部分にインクジェット法により導電性液体を塗布することによりインダクタを形成するものである。これにより、導電性液体と応力緩和層との密着性が高まり、信頼性の高い半導体装置を形成することができる。表面粗化処理には、レーザアブレーション又はサンドブラストを用いることができる。

【0016】

また、本発明に係る半導体装置の製造方法は、上記インダクタを形成する工程では、インクジェット法により導電性液体を塗布する吐出ヘッドの導電性液体の

打ち込み回数を制御して導電層の厚みを制御することにより、所望の抵抗値を有するインダクタを形成するものである。このように、インクジェット法を用いることにより、最終的に形成されるインダクタの抵抗値を容易にコントロールすることが可能となる。

【0017】

また、本発明に係る半導体装置の製造方法は、上記インダクタを形成する工程では、インクジェット法を用いて導電性液体を塗布する吐出ヘッドの動作を制御して渦巻状の巻数を制御することにより、所望のインダクタンスを有するインダクタを形成するものである。このように、インクジェット法を用いることにより、最終的に形成されるインダクタのインダクタンスを容易にコントロールすることが可能となる。

【0018】

また、本発明に係る半導体装置の製造方法は、上記配線層を形成する工程の後において、応力緩和層と配線層とが交互に積層され、隣接する配線層同士が電氣的に接続されるとともに、最上層の配線層の配線が前記外部電極に接続される多層配線層を形成する工程を更に有し、多層配線層を形成する工程において、多層配線層内の少なくとも1つの配線層を、インクジェット法により導電性液体を渦巻状に塗布して形成することにより前記インダクタとするものである。このように、多層配線層を有する半導体装置においても、上記と同様にしてインダクタを形成することが可能である。

【0019】

また、本発明に係る半導体装置の製造方法は、電極の形成されたウエーハの電極の少なくとも一部を避けた状態となるようにウエーハ上に応力緩和層を形成する工程と、電極から応力緩和層上にかけて設けられる配線からなる配線層を形成する工程と、応力緩和層の上方で配線層の配線に接続される外部電極を形成する工程とを有する半導体装置の製造方法であって、配線層を形成する工程の後において、応力緩和層と配線層とが交互に積層され、隣接する配線層同士が電氣的に接続されるとともに、最上層の配線層の配線が前記外部電極に接続される多層配線層を形成する工程を更に有し、多層配線層を形成する工程は、隣接する配線層

同士が電氣的に接続される部分のその配線層間、又は、最上層の配線層と前記外部電極との間に誘電体層を備えてなるキャパシタと、多層配線層の少なくとも 1 つ配線層が渦巻状に形成されて構成されるインダクタとをそれぞれ少なくとも 1 つずつ有するフィルターを形成する工程を含み、フィルターを形成する工程において、誘電体層を、インクジェット法により誘電性液体を塗布することにより形成し、インダクタを、インクジェット法により導電性液体を渦巻状に塗布することにより形成するものである。これにより、インダクタとキャパシタとを有するフィルターを、スパッタ法及びフォトリソグラフィ法を用いた薄膜形成技術によって形成する場合に比べて簡略化された製造工程で製造できる。その結果、生産性が向上し、コスト低減を図ることが可能となる。

【0020】

また、本発明に係る半導体装置の製造方法は、電極の形成されたウエーハの電極の少なくとも一部を避けた状態となるようにウエーハ上に応力緩和層を形成する工程と、電極から応力緩和層上にかけて設けられる配線からなる配線層を形成する工程と、応力緩和層の上方で配線層の配線に接続されるとともに、最上層の配線層の配線が前記外部電極に接続される外部電極を形成する工程とを有する半導体装置の製造方法であって、配線層を形成する工程の後において、応力緩和層と配線層とが交互に積層され、隣接する配線層同士が電氣的に接続された多層配線層を形成する工程を更に有し、多層配線層を形成する工程では、応力緩和層の一面側の配線層がマイクロストリップライン構造の線路となるように、応力緩和層の他方の面側の配線層を面状に形成して GND プレーンとし、マイクロストリップライン構造の線路をインクジェット法により導電性液体を塗布することにより、互いに電磁結合され一定量離間する複数本のストリップ線路を形成してバンドパスフィルタを形成する工程を含むものである。このように、インピーダンスコントロールが容易なマイクロストリップライン構造の線路を形成するに際し、インクジェット法を用いることにより、スパッタ法及びフォトリソグラフィ法を用いた薄膜形成技術によって形成する場合に比べて、少ない工程数で製造することが可能となる。その結果、マイクロストリップライン構造の線路によって構成されるバンドパスフィルタを少ない工程数で製造することができ、これにより生産

性が向上し、コスト低減を図ることが可能となる。

【0021】

また、本発明に係る半導体装置は、上記の半導体装置の製造方法により製造されたものである。

【0022】

【発明の実施の形態】

本発明の好適な実施の形態について説明する前に、本発明の前提となる技術を説明する。

【0023】

(前提技術)

図4は、本発明の前提となる半導体装置を示す平面図である。この半導体装置は、いわゆるCSPに分類されるもので、半導体チップ1の周辺部に形成された電極12から、能動素子形成面である能動面1aの中央方向に配線3が形成され、各配線3には外部電極5が設けられている。全ての外部電極5は、応力緩和層7の上に設けられているので、回路基板(図示せず)に実装されたときの外部電極と回路基板との間に生じる応力を緩和できるようになっている。また、外部電極5を除く領域には、保護膜としてソルダレジスト層8が形成されている。

【0024】

ここで、電極12は、図1では外部電極5とほぼ同じ程度の大きさで示されているが、実際は外部電極5よりも非常に小さいものである。この電極12は、通常、半導体チップ1の周辺部に配置されることから、半導体チップ1の小型化による電極12間の狭ピッチ化や多ピン化には限界がある。しかしながら、応力緩和層7を能動領域に設け、更に、配線3を能動領域内に配設する(引き込む)ことで、外部電極5については能動領域内の任意の場所に設けることが可能となる。このため、外部電極5を配置する際に能動領域内、すなわち一定の面としての領域が提供できることになり、設置位置の自由度が非常に増し、外部電極5を、回路基板上の電極位置に合わせて例えば図4に示すように格子状に配置するなど、自由に配置位置を決定することができるようになる。

【0025】

図4に示した外部電極5は、配線3を応力緩和層7の上で屈曲させて、格子状に並ぶように設けている。しかし、これは、本発明の必須の構成ではなく、外部電極5は必ずしも格子状に並ぶように設けなくても良い。また電極2と配線3との接合部において、図示させている電極12の幅と配線3の幅は、

配線3 < 電極12

となっているが、

電極12 ≤ 配線3

とすることが好ましい。特に、

電極12 < 配線3

となる場合には、配線3の抵抗値が小さくなるばかりか、強度が増すので断線が防止される。

【0026】

図1～図3は、第1の前提技術の半導体装置の製造方法を説明する図である。これらの図は、図4のI-I線断面図に対応するが、図4の外周にさらに応力緩和層が存在する状態として示されている。図1～図3はウエーハにおける一部拡大図であり、特に半導体装置としたときの1つ分に該当する箇所をとりあげたものである。

【0027】

まず、周知の技術によって、通常、ダイシングを行う前の状態までウエーハ10に電極12その他の素子を形成しておく。なお、本例では、電極12はアルミニウムで形成される。電極12に他の例としてアルミニウム合金系の材料（例えば、アルミニウムシリコンやアルミニウムシリコン銅など）もしくは銅系の材料を用いても良い。

【0028】

また、ウエーハ10の表面には、化学的变化を防止するための酸化膜などからなるパッシベーション膜（図示せず）が形成されている。パッシベーション膜は、電極12を避けるのみならず、ダイシングが行われるスクライブラインも避けて形成される。スクライブラインにパッシベーション膜を形成しないことで、ダイシング時に、パッシベーション膜により発生するゴミの発生を避けることがで

き、さらに、パッシベーション膜のクラックの発生も防止することができる。

【0029】

図1 (A) に示すように、電極12を有するウエーハ10に、絶縁層14を形成する。この絶縁層14は、ここでは、感光性のポリイミド樹脂により構成され、ウエーハ10に、感光性のポリイミド樹脂を塗布することにより形成される。絶縁層14は、1～100 μm の範囲、更に好ましくは10 μm 程度の厚みで形成されることが好ましい。なお、スピンコーティング法では、無駄になるポリイミド樹脂が多いので、ポンプによって帯状にポリイミド樹脂を吐出する装置を使用してもよい。このような装置として、例えばFAS社製のFAS超精密吐出型コーティングシステム（米国特許第4696885号参照）などがある。

【0030】

図1 (B) に示すように、絶縁層14に、電極12に対するコンタクトホール14aを形成する。具体的には、露光、現像及び焼成処理によって、電極12の付近からポリイミド樹脂を除去することで、絶縁層14にコンタクトホール14aを形成する。なお同図においては、コンタクトホール14aを形成したときに絶縁層14が電極12と重なる領域を全く残していない。全く絶縁層14を電極12に残さないことで、次工程以降で設けられる配線等の金属との電気的なコンタクトが良好な状態になるという利点があるものの、必ずしもこのような構造にしなければならないわけではない。すなわち、電極12の外周付近に絶縁層14がかかっている構造であったとしても電極12の一部が露出するようにホールが形成されているのであれば充分目的が達成される。この場合には、配線層の屈曲数が減るので断線等による配線信頼性の低下を防止できる。

【0031】

ここで、コンタクトホール14aにはテーパが付けられている。したがって、コンタクトホール14aを形成する端部において、絶縁層14は傾斜して形成されている。このような形状は、露光及び現像の条件を設定することで形成される。さらに、電極12上を O_2 プラズマ処理すれば、たとえ電極12上に若干ポリイミド樹脂が残っていたとしてもそのポリイミド樹脂を完全に除去できる。こうして形成された絶縁層14は、完成品としての半導体装置において応力緩和層と

なる。

【0 0 3 2】

なお、本例では樹脂に感光性ポリイミド樹脂を用いたが、感光性のない樹脂を用いても良い。例えばシリコーン変性ポリイミド樹脂、エポキシ樹脂やシリコーン変性エポキシ樹脂等、固化したときのヤング率が低く ($1 \times 10^{10} \text{ Pa}$ 以下)、応力緩和の働きを果たせる材質を用いると良い。

【0 0 3 3】

図 1 (C) に示すように、スパッタリングによってウエーハ 1 0 の全面に配線層としてのクローム (C r) 層 1 6 を形成する。このクローム (C r) 層 1 6 から、最終的に配線 3 (図 4 参照) が形成される。クローム (C r) 層 1 6 は、電極 1 2 上から絶縁層 1 4 上にかけて形成される。ここで、クローム (C r) 層 1 6 の材質は、絶縁層 1 4 を構成するポリイミドとの密着性が良いことから選択された。あるいは、耐クラック性を考慮すれば、アルミニウムやアルミシリコン、アルミ銅等アルミニウム合金又は銅 (C u) 又は金のような延展性 (延びる性質) のある金属でもよい。または、耐湿性に優れたチタンを選択すれば、腐食による断線を防止することができる。チタンは、ポリイミドとの密着性の観点からも好ましく、チタングステンを用いても良い。

【0 0 3 4】

クローム (C r) 層 1 6 との密着性を考慮すると、ポリイミド等からなる絶縁層 1 4 の表面を荒らすことが好ましい。例えば、プラズマ (O_2 、 CF_4) にさらすドライ処理や、酸又はアルカリによるウエット処理を行うことで、絶縁層 1 4 の表面を荒らすことができる。

【0 0 3 5】

また、コンタクトホール 1 4 a 内において絶縁層 1 4 の端部が傾斜しているで、この領域ではクローム (C r) 層 1 6 も同様に傾斜して形成される。クローム (C r) 層 1 6 は、完成品としての半導体装置においては配線 3 (図 4 参照) になるとともに、製造途中においてはその後層を形成する際のポリイミド樹脂に対する拡散防止層となる。なお拡散防止層としてはクローム (C r) に限るものではなく、前述の配線材料全てのものが有効である。

【0036】

図1 (D) に示すように、クローム (Cr) 層16の上に、フォトリソを塗布してレジスト層18を形成する。

図1 (E) に示すように、露光、現像及び焼成処理によって、レジスト層18の一部を除去する。残されたレジスト層18は、電極12から絶縁層14の中央方向に向けて形成されている。詳しくは、残されたレジスト層18は、絶縁層14の上では、一つの電極12上のレジスト層18と他の電極12上のレジスト層18とか連続しないように（各々独立した状態に）なっている。

【0037】

そして、図1 (E) に示すレジスト層18によって覆われた領域のみを残して（すなわちレジスト層18をマスクとして）、クローム (Cr) 層16をエッチングし、レジスト層18を剥離する。以上、これらの前工程ではウエーハプロセスにおける金属薄膜形成技術を適用したものである。こうしてエッチングされたクローム (Cr) 層16は、図2 (A) に示すようになる。

【0038】

図2 (A) において、クローム (Cr) 層16は、電極12から絶縁層14にかけて形成されている。詳しくは、クローム (Cr) 層16は、一つの電極12と他の電極12との間が連続しないようになっている。つまり、それぞれの電極12に対応する配線を構成できるように、クローム (Cr) 層16が形成される。

【0039】

図2 (B) に示すように、少なくともクローム (Cr) 層16を含む最上段の層に、導電体層としての銅 (Cu) 層20を、スパッタリングによって形成する。銅 (Cu) 層20は、外部電極との密着性を高める接合層となるバリアメタル層である。この導電体層には、銅 (Cu) の代わりにニッケル (Ni) を使用しても良い。

【0040】

図2 (C) に示すように銅 (Cu) 層20の上にレジスト層22を形成し、図2 (D) に示すようにレジスト層22の一部を、露光、現像及び焼成処理して、

取り除く。そうすると、取り除く領域は、絶縁層 1 4 の上方であって、かつ、クローム (C r) 層 1 6 の上方に位置するレジスト層 2 2 の少なくとも一部が除去される。

【0 0 4 1】

図 2 (E) に示すように、レジスト層 2 2 が部分的に除去された領域に、外部電極 5 (図 4 参照) としてのハンダボールになるハンダ 2 4 を厚層状に形成する。ここで厚みは、その後のハンダボール形成時に要求されるボール径に対応したハンダ量で決まる。ハンダ 2 4 の層は、電解メッキや印刷等により形成される。

【0 0 4 2】

図 2 (F) に示すように、図 2 (B) に示すレジスト層 2 2 を剥離し、銅 (C u) 層 2 0 をエッチングする。そして、図 2 (G) に示すように、ハンダ 2 4 を、ウェットバックによって半球以上のボール状にして、外部電極 (図 4 参照) としてのハンダボール 2 4 a を形成する。

【0 0 4 3】

続いて、クローム (C r) 層 1 6 等の酸化を防止するためや、完成した半導体装置における耐湿性の向上や、表面の機械的保護等の目的を達成するための処理を、図 3 A 及び図 3 B に示すようにして行う。

【0 0 4 4】

図 3 A に示すように、ウエーハ 1 0 の全面に、感光性のソルダレジスト層 2 8 を塗布により形成する。そして、露光、現像及び焼成処理を行って、ソルダレジスト層 2 8 のうち、ハンダボール 2 4 a を覆っている部分及びその付近の領域を除去する。こうして、残されたソルダレジスト層 2 8 は、酸化防止膜として、また最終的に半導体装置となったときの保護膜としてや、更には防湿性の向上を目的とした保護膜となる。そして、電気的特性の検査を行い、必要であれば製品番号や製造者名などを印刷する。

【0 0 4 5】

続いて、ダイシングを行って、図 3 C に示すように個々の半導体装置に切断する。ここで、ダイシングを行う位置は、図 4 B と図 4 C を比較して明らかなように、絶縁層 1 4 を避ける位置である。したがって、ウエーハ 1 0 に対してのみダ

イシングが行われ、性質の異なる材料からなる複数層を切断するときの問題を避けることができる。ダイシング工程は従来通りの方法によって行われる。

【0046】

こうして形成された半導体装置によれば、絶縁層 14 が応力緩和層 7（図 4 参照）となるので、回路基板（図示せず）と半導体チップ 1（図 4 参照）との間の熱膨張係数の差による応力が緩和される。

【0047】

以上説明した半導体装置の製造方法によれば、ウエーハプロセスにおいてほぼ全ての工程が完結する。言い換えると、実装基板と接続する外部端子を形成する工程がウエーハプロセス内で行えることになり、従来のパッケージング工程、すなわち個々の半導体チップを扱って、個々の半導体チップに対してそれぞれインナーリードボンディング工程や外部端子形成工程等を行わなくとも良い。また、応力緩和層を形成するときに、パターニングされたフィルムなどの基板が不要になる。これらの理由から、低コストかつ高品質の半導体装置を得ることができる。

【0048】

本例では応力緩和層としての樹脂を感光性のポリイミド樹脂としたが、それ以外にも非感光性の樹脂を用いても良い。また、本例において配線層 16 を二層以上に設けても良い。層を重ねれば一般的に層厚が増し、配線抵抗を下げるができる。特に配線のうちの一層をクロム（Cr）とした場合には、銅（Cu）や金はクロム（Cr）よりも電氣的抵抗が低いため、組み合わせることで配線抵抗を下げるができる。あるいは、応力緩和層上にチタン層を形成し、このチタン層の上にニッケル層、又は白金及び金からなる層を形成してもよい。または、白金及び金の二層を配線としてもよい。

【0049】

以上の説明により本発明の前提技術が明らかになったところで、続いて本発明の実施の形態を説明する。なお、以降の各図面は、説明を分かりやすくするために一部を拡大して示したものである。特に以下の説明においては、最終的に個片にしたときの 1 つの半導体装置を想定して説明してあるため、用いている用語や

形状等において若干実際と異なる箇所がある。半導体チップと記載している箇所は、その意味の通り個片（すなわちチップ状）のものを指す場合にとどまらず、個片になっていないウエーハ状のものを指す場合もある。すなわち、ここでいう半導体チップとは、ベース基板（例えばシリコンからなる）上に切り離したとしても使える所定の回路が形成されていれば良く、切り離されて個片となっているかそれとも一体となっているかについては特に限定する必要はない。また配線等の説明に必要な個所の代表的な箇所のみを取り上げているので、各図にはその他の箇所に同様のものやその他の構造が省略されている。

【 0 0 5 0 】

また、以下の各実施の形態における半導体装置の製造方法は、ダイシング前のウエーハ上で行っても、ウエーハをダイシングした後の個々の半導体装置上で行ってもよいものとする。

【 0 0 5 1 】

実施の形態 1.

本実施の形態 1 及び後述の実施の形態 2 は、上記前提技術による C S P 構造の半導体装置にキャパシタを形成するものである。

【 0 0 5 2 】

図 5 は本実施の形態 1 の半導体装置の製造方法の説明図である。なお、本実施の形態 1 は、図 1（A）～（E）、図 2（A）に示す工程が上記前提技術と同様にして行われる。このため、以下では、上記前提技術と同様の工程についての詳細説明は省略し、それ以降において本実施の形態 1 が前提技術と相違する部分を中心に説明する。

配線層としてクローム（C r）層 1 6 に配線 3 を形成した後、図 5（A）に示すように、ウエーハ 1 0 の全面に絶縁層 1 0 2 を形成する。この絶縁層 1 0 2 は、ここでは、感光性のポリイミド樹脂により構成され、ウエーハ 1 0 に、感光性のポリイミド樹脂を塗布することにより形成される。そして、図 5（B）に示すように、絶縁層 1 0 2 において応力緩和層としての絶縁層 1 4 の上方にあたる一部の領域に開口部 1 0 2 a を形成して配線 3 の一部を露呈させる。具体的には、フォトリソグラフィ法による露光、現像及び焼成処理によって、絶縁層 1 4 の上

方にあたる一部の領域から絶縁層 102 の一部を除去することで絶縁層 102 に開口部 102 a を形成し、これにより開口部 102 a の底面から配線 3 を露呈させるものである。

【0053】

そして、図 5 (C) に示すように、開口部 102 a によって露呈された配線 3 上に、インクジェット法により誘電性液体を塗布して誘電体層 104 を形成する。具体的には、インクジェットプリンタなどで用いられる吐出ヘッド 101 を用いて誘電性液体を塗布することにより形成される。ここで、この誘電性液体には、比誘電率が例えば 4 以上の高誘電材料を用いることが好ましく、具体的には、例えば液晶ポリマーなどの誘電体や、チタン酸バリウムフィラーと有機溶剤を混合した誘電体混合液体、ニオブ酸リチウムフィラーと有機溶剤とを混合した誘電体混合液体が用いられる。

【0054】

そして、誘電体層 104 を焼結して誘電体層 104 の誘電率を高めると共に、誘電率を安定させる。その後、焼結された誘電体層 104 上に、上記前提技術で述べたように外部電極としてのハンダボール 24 a を形成する。ハンダボール 24 a 形成後は、上記の前提技術で述べたようにダイシングを行って個々の半導体装置 100 に切断する。以上により、本実施の形態 1 の半導体装置 100 が形成される。

【0055】

なお、図 5 では、図 1 に示された導電体層 (銅 (Cu) 層) 20 が省略されているが、上記と同様の手順で形成しても、形成しなくても良く、いずれにしても誘電体層 104 上に外部電極としてのハンダボール 24 a が形成されていればよい。また、本実施の形態 1 では、絶縁層 102 がウエーハ 10 の全面に塗布されているため、上記の前提技術においてハンダボール 24 a 形成後に形成されていた保護膜 26 と同様の機能を有していることから、ハンダボール 24 a 形成後の保護膜形成工程は省略してもよい。なお、省略せずに、図 5 (D) で示したウエーハ 10 に対して保護膜形成工程を行って保護膜を 2 重に設けた構造としても良い。

【0056】

以上により、誘電体層 104 の下面の配線 3 と、誘電体層 104 の上面のハンダボール 24a とが誘電体層 104 を挟む電極となってキャパシタが形成される（なお、誘電体層 104 の上面に導電体層が形成されている場合には、導電体層が電極として機能する）。なお、インクジェット法による吐出を行う吐出ヘッド 101 としては、1 回の打ち込みで液体を所定量吐出できる形式のものであればよく、圧電駆動式、静電駆動式、バブルジェット（登録商標）式など、各種の方式のものを採用できる。

【0057】

なお、本実施の形態 1 では、配線層としてのクローム（Cr）層 16 上に絶縁層 102 を形成し、その絶縁層 102 に開口部 102a を形成して、その開口部 102a に対して誘電性液体を塗布して誘電体層 104 を形成しているが、絶縁層 102 及び開口部 102a を形成することなく、配線 3 において外部電極が接続される部分に、直接誘電性液体を塗布して誘電体層 104 を形成するようにしても良い。

【0058】

このように、本実施の形態 1 によれば、キャパシタを構成する誘電体層 104 を形成するに際し、インクジェット法を用いるため、フォトリソグラフィ法、スパッタ法を用いて誘電体層を形成する従来技術と比較して製造工程が簡略化される。従来技術では、具体的にはまず、絶縁層 102 を形成し、フォトリソグラフィ法を用いて絶縁層 102 に所望の開口部を形成し、その後、誘電体材料をスパッタ法を用いて堆積させることにより誘電体層 104 を形成している。これに対し、本発明のインクジェット法を用いた膜形成技術によれば、目的箇所をねらって誘電性材料を塗布するだけで誘電体層を形成できる。このように、製造工程の簡略化が図れるため、生産性が向上し、製造コスト低減を図ることが可能となる。

【0059】

また、インクジェット法によれば、必要な箇所のみに対してだけ誘電材料を有する液体を塗布できるため、スパッタ法及びフォトリソグラフィ法などを用いて

誘電体層を形成する方法と比較して、材料の使用量低減を図ることが可能となり、この面からも製造コスト低減を図ることができる。

【0060】

また、インジェット法によれば、吐出ヘッド101による誘電性液体の打ち込み回数によって必要量だけ塗布できるため、スパッタ法を用いた薄膜形成に比べて誘電体層104の膜厚コントロールが容易となる。ここで、図6に示すように誘電体層の膜厚を t 、誘電体の比誘電率を ϵ_r 、真空の誘電率を ϵ_0 、誘電体の、電極の面積を S 、静電容量を C とすると、次式(1)式が成り立つことから、上述したように膜厚の制御が可能となることにより、静電容量 C の制御も容易となる。よって、誘電性液体の打ち込み回数を制御して誘電体層104の厚みを制御することにより、所望の静電容量を有するキャパシタを容易に形成することが可能となる。

【0061】

$$C = \epsilon_r \epsilon_0 \cdot S / t \quad \dots (1)$$

【0062】

また、本実施の形態1では、開口部102a内に誘電性液体を塗布するようにしているので、開口部102aの内側面がガイドとなって開口部102a内に誘電性液体を収容することができる。よって、開口部102a内の体積を所定体積に設定した上で打ち込み回数の制御を行うことにより、精度の高い膜厚のコントロールが可能となっている。

【0063】

また、開口部102aの内側面が外方に傾斜する形状となっているため、誘電性液体が開口部102a内へ確実に流れ込み、塗布した誘電性液体を確実に開口部102a内に収容することができるようになっている。なお、開口部102aの内側面は、上記のように外方に傾斜する形状に限られたものではなく、垂直に形成するようにしても良い。この場合、上記利点は多少軽減するものの、膜厚のコントロールを更に容易に行うことが可能となる。

【0064】

また、インクジェット法によれば、ウエーハ10上の異なる場所にそれぞれ異

なる量の塗布が可能となるため、半導体チップ毎に塗布量を変えることにより、半導体チップ毎に異なる静電容量のキャパシタを形成することができる。

【0065】

また、インクジェット法によれば、誘電性液体を貯留するタンクを複数設け、各タンクそれぞれに異なる誘電性液体を貯留しておくことにより、半導体チップ毎に誘電性液体を変えて塗布することも可能となる。

【0066】

実施の形態2.

図7は実施の形態2の半導体装置の製造方法の説明図である。なお、本実施の形態2は、実施の形態1において図5（C）に示した工程の後、誘電体層104を焼結するまでの工程は上記と同様であるため、ここでは本実施の形態2が実施の形態1と相違する部分を中心に説明する。

【0067】

本実施の形態2は、焼結された誘電体層104上に、図7（A）に示すように吐出ヘッド101により導電性液体を塗布することにより導電体層112形成する。この導電体層112は、上記の前提技術の銅（Cu）層20に相当するもので、銅（Cu）で形成される他、ニッケル（Ni）で形成するようにしてもよい。そして、導電体層112上に、上記前提技術で述べたように外部電極としてのハンダボール24aを形成する。ハンダボール24a形成後は、上記の前提技術で述べたようにダイシングを行って個々の半導体装置110に切断する。以上により、本実施の形態2の半導体装置110が形成される。

【0068】

本実施の形態2は、上記実施の形態1とほぼ同様の作用効果が得られると共に、上記の前提技術においてスパッタ法で形成されていた導電体層を、インクジェット法により形成できるため、インクジェット法による誘電体層104の形成の場合と同様に、製造工程の簡略化、材料の使用量低減、製造コスト低減を果たすことができる。

【0069】

なお、上記実施の形態1及び実施の形態2では、配線層が一層の単配線構造に

においてインクジェット法により誘電体層を形成してキャパシタを形成する場合を例示して説明したが、多層配線構造においても同様にしてキャパシタを形成することができる。

【0070】

図8は、多層配線構造内にキャパシタが形成された半導体装置を示す図である。図8に示す半導体装置120においては、電極122が設けられたウエーハ124上に、第1の絶縁層（第1の応力緩和層）126、第1の配線層128、第2の絶縁層（第2の応力緩和層）130、第2の配線層132が設けられている。第2の絶縁層130には、窪み部130aが形成されており、窪み部130aの底面からは第1の配線層128に設けられた第1の配線128aの一部が露呈されている。その露呈された部分に、吐出ヘッド101により誘電性液体が塗布されて誘電体層134を形成している。そして、第2の配線層132には、誘電体層134の上面から窪み部130aの図示右側側面を経て第2の絶縁層130の上面にかけて第2の配線132aが形成され、そして、最上層の配線層である第2の配線132aにおいて誘電体層134の上方にあたる部分に、外部電極としてのハンダボール136が形成された構造となっている。

【0071】

このように第1の配線128aと第2の配線132aとの間に誘電体層134が形成されてキャパシタが構成されている。ここで、誘電体層形成後は実施の形態1、実施の形態2の何れの製造方法を採用しても良く、要するに、絶縁層（応力緩和層）と配線層とが交互に積層され、隣接する配線層同士が電氣的に接続される多層配線構造においても、上記実施の形態1及び実施の形態2の製造方法によりキャパシタを形成することが可能である。なお、多層構造は、図8に示した2層に限られたものではなく、何層であっても本発明の実施の形態に含まれるものとみなす。

【0072】

実施の形態3.

本実施の形態3は、上記前提技術によるCSP構造の半導体装置にインダクタを形成するものである。

【0073】

図9は、実施の形態3の半導体装置の製造方法の説明図である。図10は図9に示す製造方法により形成された半導体装置の平面図である。なお、図9に示した製造過程は、図10のA-A断面における製造過程に相当する。

本実施の形態3は、図1(A)～(E)、図2(A)に示す工程が上記前提技術と同様にして行われる。このため、以下では、上記前提技術と同様の工程についての詳細説明は省略し、それ以降において本実施の形態3が前提技術と相違する部分を中心に説明する。

【0074】

配線層としてクロム(Cr)層16に配線3を形成した後、その上に、渦巻状の凹状の開口パターンを有する層を形成する。具体的には、まず、図9(A)に示すようにウエーハ10の全面に絶縁層142を形成する。この絶縁層142は、ここでは、感光性のポリイミド樹脂により構成され、ウエーハ10に、感光性のポリイミド樹脂を塗布することにより形成される。そして、図9(B)、図10に示すように、フォトリソグラフィ法による露光、現像及び焼成処理によって絶縁層142に渦巻状の凹状の開口パターン142aを形成する。

【0075】

渦巻状の開口パターン142aは、渦巻状の外方端部が配線3において電極12と反対側の端部上に位置し、その電極12の端部を露呈させると共に、内方端部がハンダボールが形成される箇所に位置するように形成される。ここで、渦巻状の開口パターン142aは、所定のターン数、所定の線幅となるように形成される。そして、図9(C)に示すように渦巻状の開口パターン142a部分にと出ヘッド101により導電性液体を塗布する。これにより渦巻状に形成された導電体層でなるインダクタ144が形成される。ここで、この導電性液体には、例えば、導体、導体混合液体、液体金属などが用いられ、具体的には例えば水銀や、銀フィラーを含有する有機溶剤や、銀フィラーを含有するエポキシ樹脂などが用いられる。

【0076】

そして、上記前提技術と同様の方法により、図9(D)に示すようにインダク

タ 144 の内方端部上に外部電極としてのハンダボール 24a を形成する。ハンダボール 24a 形成後は、上記の前提技術で述べたようにダイシングを行って個々の半導体装置 140 に切断する。以上により、本実施の形態 3 の半導体装置 140 が形成される。

【0077】

なお、本実施の形態 3 では、絶縁層 142 は、配線 3 の上に形成されているため、配線 3 の保護膜として機能しているが、インダクタ 144 については露呈された状態となっているため、このインダクタ 144 を保護するために更に保護膜としての絶縁層を形成することが好ましい。

【0078】

また、本実施の形態 3 では、配線層 16 上に絶縁層 142 を形成し、その絶縁層 142 に渦巻状の開口パターン 142a を形成しているが、換言すると、配線層 16 上に、以降の工程で塗布される導電性液体を保持するための開口パターン 142a を有する層を形成しているが、この層を形成することなく、直接、インクジェット法により導電性液体を渦巻状に塗布することにより、配線 3 に電氣的に接続されるインダクタ 144 を、絶縁層 14 上に形成するようにしてもよい。

【0079】

本実施の形態 3 によれば、インダクタ 144 を形成するに際し、インクジェット法を用いているため、スパッタ法、フォトリソグラフィ法及び電界メッキ法を用いてインダクタを形成する従来技術と比較して製造工程が簡略化される。従来技術では、具体的には、まず、スパッタ法により UBM 層を形成し、その後、レジスト層を形成し、フォトリソグラフィ法を用いてレジスト層に所望の渦巻状の開口パターンを形成する。その後、この渦巻状の開口パターン部分に電界メッキ法を用いて導電体層を形成することによりインダクタを形成している。これに対し、本発明のインクジェット法を用いた膜形成技術によれば、単に吐出ヘッド 101 を制御して導電性液体を渦巻状に塗布することによりインダクタ 144 を形成できる。このように、製造工程の簡略化が図れるため、生産性が向上し、製造コスト低減を図ることが可能となる。

【0080】

また、インクジェット法によれば、渦巻状の開口パターン 142 a のみに対してだけ導電性液体を塗布することが可能となる。このため、スパッタ法、フォトリソグラフィ法及び電界メッキ法を用いてインダクタを形成する方法と比較して、必要箇所だけに塗布できるため、材料の使用量低減を図ることが可能となり、この面からも製造コスト低減を図ることができる。

【0081】

また、インクジェット法によれば、吐出ヘッド 101 による導電性液体の打ち込み回数によって必要量だけ塗布できるため、電解メッキ法を用いた薄膜形成に比べてインダクタ 144 を構成する導電体層の膜厚コントロールが容易に行える。よって、膜厚に依存する抵抗値の調整も容易であり、膜厚を制御することにより、所望の抵抗値を有するインダクタ 144 を容易に形成することが可能となる。また、膜厚は、吐出ヘッド 101 からの導電性液体の打ち込み回数で決定されるため、非常に精度の高い膜厚コントロールが可能となっている。

【0082】

また、インクジェット法によれば、ウエーハ 10 上の異なる場所に、それぞれ異なる打ち込み回数で導電性液体を塗布できるため、半導体チップ毎に異なる抵抗値のインダクタを形成することができる。

【0083】

また、開口パターン 142 a における渦巻状部分の巻数を変更し、その巻数に合わせて吐出ヘッド 101 の駆動を制御して導電性液体を塗布する渦巻状部分の巻数を制御することにより、所望のインダクタンスを有するインダクタ 144 を形成することが可能となる。

【0084】

また、渦巻状の凹状の開口パターン 142 a 部分に導電性液体を塗布するようにしたため、開口パターン 142 a の内側面がガイドとなって開口パターン 142 a 内に導電性液体を収容することができる。よって、開口パターン 142 a の形成精度、換言すればフォトリソグラフィによるレジストパターンの精度で配線幅を決定できるので、インダクタ 144 を精度良く形成することができる。なお、開口パターン 142 a の内側面は図 9 では垂直に形成されているが、外方側に

傾斜させた形状としても良い。この場合、塗布された導電性液体の開口パターン 142a 内への流れ込みが容易となり、塗布した導電性液体を確実に開口パターン 142a 内に収容することが可能となる。

【0085】

また、インクジェット法によれば、導電性液体を貯留するタンクを複数設け、各タンクそれぞれに異なる導電性液体を貯留しておくことにより、半導体チップ毎に導電性液体を変えて塗布することも可能となる。

【0086】

実施の形態 4.

本実施の形態 4 は、インダクタを形成する層の表面に表面粗化処理を行い、その表面粗化処理を施した部分にインクジェット法を用いて渦巻状に導電性液体を塗布することで C S P 構造の半導体装置にインダクタを形成するようにしたものである。

【0087】

図 11 は、実施の形態 4 の半導体装置の製造方法の説明図である。なお、本実施の形態 4 は、図 1 (A) ~ (E)、図 2 (A) に示す工程が上記前提技術と同様にして行われる。このため、以下では、上記前提技術と同様の工程についての詳細説明は省略し、それ以降において本実施の形態 4 が前提技術と相違する部分を中心に説明する。

【0088】

配線層としてクロム (Cr) 層 16 に配線 3 を形成した後、図 11 (A) に示すように、ウエーハ 10 の全面に絶縁層 152 を形成する。この絶縁層 152 は、ここでは、感光性のポリイミド樹脂により構成され、ウエーハ 10 に、感光性のポリイミド樹脂を塗布することにより形成される。そして、図 11 (B) に示すように、絶縁層 152 において、絶縁層 14 の上方にあたる一部の領域に開口部 152a を形成して配線 3 の一部を露呈させる。具体的には、フォトリソグラフィ法による露光、現像及び焼成処理によって、絶縁層 14 の上方にあたる一部の領域から絶縁層 152 の一部を除去することで絶縁層 152 に開口部 152a を形成し、これにより開口部 152a の底面から配線 3 を露呈させる。

【0089】

そして、図11（C）に示すように、配線3が露呈した部分から絶縁層152上において、渦巻状に表面粗化処理を行い、次の工程で塗布される導電性液体との密着性を高める処理を行う。具体的には、レーザーヘッド160を用いたレーザーアブレーションやサンドブラストにより絶縁層152上に物理的な疎密を作り出すことで、絶縁層152の表面を荒らす。なお、表面粗化処理が施された渦巻状のパターン152bは、外方端部が配線3において電極12と反対側の端部上に位置し、内方端部がハンダボール24aが形成される箇所に位置するように形成される。ここで、渦巻状の開口パターン142aは、所定のターン数、所定の線幅となるように形成される。

【0090】

そして、図11（D）に示すように、その表面が荒らされた部分、すなわち渦巻状のパターン152b部分をねらって吐出ヘッド101により導電性液体を塗布する。これにより、渦巻状に形成された導電体層でなるインダクタ154が形成される。ついで、インダクタ154の内方端部上に外部電極としてのハンダボール24aを形成する。ハンダボール24a形成後は、上記の前提技術で述べたようにダイシングを行って個々の半導体装置150に切断する。以上により、本実施の形態3の半導体装置150が形成される。

【0091】

なお、本実施の形態4では、絶縁層152が配線3の上に形成されているため、配線3の保護膜として機能しているが、インダクタ154については露呈された状態となっているため、このインダクタ154を保護するために更に保護膜としての絶縁層を形成することが好ましい。以下に、インダクタ154を保護するための保護膜を形成する場合の工程について説明する。

【0092】

図12は、インダクタを保護するための保護膜を形成する工程の説明図である。

図11（D）で示す工程の後、図12（A）に示すようにウエーハ10の全面に例えば感光性のポリイミド樹脂を塗布することで絶縁層156を形成する。こ

の絶縁層 156 が保護膜となる。そして、図 12 (B) に示すようにフォトリソグラフィにより絶縁層 156 の一部を除去してインダクタ 154 の外方端部を露呈させ、図 11 (C) に示すように、その露呈された部分に外部電極としてのハンダボール 24a を形成する。

【0093】

本実施の形態 4 によれば、絶縁層 152 において導電性液体を塗布する部分に予め表面粗化处理を施しておくため、導電性液体との密着性が高まり、信頼性の高い半導体装置 150 を得ることができる。

【0094】

また、本実施の形態 4 では、完成品としての半導体装置 150 において応力緩和層となる絶縁層 14 の上に配線層 16 が形成され、配線層 16 の上に応力緩和層となる絶縁層 152 が形成され、絶縁層 152 の上にインダクタ 154 を構成する導電体層（配線層）が形成され、隣接する配線層同士が電氣的に接続された多層配線構造を成している。しかしながら、本発明のインクジェット法を用いたインダクタの形成は、図 14 に示したような多層配線構造の配線層を形成する際に限られず、単配線構造の配線層を形成する際にも同様に適用できる。また、多層配線層の層の数は、特に限定されるものではなく、何層でも本発明の実施の形態に含まれるものとみなす。

【0095】

実施の形態 5.

本実施の形態 5 は、上記前提技術による C S P 構造の半導体装置上に形成される多層配線層内にキャパシタとインダクタとをそれぞれ少なくとも 1 つずつ有するフィルターを形成するもので、キャパシタの形成に際しては上記実施の形態 1 又は 2 の製造方法を使用し、インダクタの形成に際しては実施の形態 3 又は 4 の製造方法を使用するものである。以下では、ローパスフィルタを形成する場合を例に説明する。

【0096】

図 13 は、本実施の形態 5 の半導体装置の説明図で、特に (A) は、本実施の形態 5 の半導体装置の平面図、(B) は (A) の回路図である。図 14 は図 13

の半導体装置の製造方法の説明図である。なお、本実施の形態 5 は、図 11 (A) ~ (D) に示す工程を実施後、図 12 (A)、(B) を実施して絶縁層 156 に開口部 156 a を形成するまでの工程は実施の形態 4 と同様であるため詳細説明は省略し、それ以降の工程について説明する。

【0097】

絶縁層 156 に開口部 156 a を形成した後、図 14 (A) に示すように、絶縁層 156 上面の一部に表面粗化処理を行い、次の工程で塗布される導電性液体との密着性を高める処理を行う。具体的には、レーザーヘッド 160 を用いたレーザーアブレーションやサンドブラストにより絶縁層 156 上に物理的な疎密を作り出すことで、絶縁層 156 の表面を荒らす。

【0098】

そして、図 14 (B) に示すように、インダクタ 154 の内方端部から絶縁層 156 において表面粗化処理が施された部分をねらって吐出ヘッド 101 により導電性液体を塗布して配線 172 を形成する。ついで、配線 172 においてインダクタ 154 の内方端部の上方に位置する部分に、図 14 (C) に示すように、吐出ヘッド 101 により誘電性液体を塗布して誘電体層 174 を形成し、該誘電体層 174 を焼結させる。

【0099】

そして、図 14 (D) に示すように、焼結された誘電体層 174 上に、上記前提技術で述べたように外部電極としてのハンダボール 24 a を形成する。なお、ハンダボール 24 a を形成する前に、実施の形態 2 のように、焼結された誘電体層 174 上に導電体層 112 を形成するようにしてもよい。このハンダボール 24 a を GND に設定することにより、インダクタ 154 の一方の端部が電極 12 に接続され、他方の端部が誘電体層 174 を介して GND に接続された構造となり、図 13 (B) の回路図に示すようなローパスフィルタが形成される。このように構成されたローパスフィルタにおいては、半導体チップ 1 からの出力信号が電極 12 を介してローパスフィルタに入力される。

【0100】

ハンダボール 24 a 形成後は、上記の前提技術で述べたようにダイシングを行

って個々の半導体装置 170 に切断する。以上により、本実施の形態 5 の半導体装置 170 が形成される。

【0101】

本実施の形態 5 によれば、インダクタとキャパシタとを有するフィルターを形成するに際し、インクジェット法により導電性液体、誘電性液体を必要箇所に塗布して膜形成を行う方法を用いるため、スパッタ法及びフォトリソグラフィ法を用いた薄膜形成技術によって形成する場合に比べて製造工程が簡略化される。その結果、生産性が向上し、コスト低減を図ることが可能となる。

【0102】

なお、本実施の形態 5 では、ローパスフィルタを形成する場合を例に説明したが、ローパスフィルタに限られたものではない。要は、CSP 構造の半導体装置上に形成された多層配線層内において、隣接する配線層同士が電氣的に接続される部分のその配線層間、又は、最上層の配線層と外部電極との間に誘電体層を備えてなるキャパシタと、多層配線層の少なくとも 1 つ配線層が渦巻状に形成されて構成されるインダクタとをそれぞれ少なくとも 1 つずつ有するフィルターを形成するに際し、前記誘電体層を、インクジェット法により誘電性液体を塗布することにより形成し、インダクタを、インクジェット法により導電性液体を渦巻状に塗布することにより形成するようにされればよく、最終的に形成されるフィルターの種類は特に限定されるものではない。

【0103】

実施の形態 6.

本実施の形態 6 は、マイクロストリップライン構造の線路部分をインクジェット法による導電性液体の塗布により形成するようにしたものである。

【0104】

図 15 は本実施の形態 6 の半導体装置の平面図、図 16 (A) は図 15 の A-A 断面図、図 16 (B) は図 15 の B-B 断面図、図 16 (C) は図 15 の C-C 断面図を示す図である。

図 15 及び図 16 に示す半導体装置 180 においては、ウエーハ 10 上に、接地電位が供給される GND 182 と、第 1 の電極 184 と、第 2 の電極 186 と

が形成されている。そして、図 16 (A) に示すように、GND 182 から第 1 の絶縁層 188 にかけて GND プレーン 190 が形成されている。GND プレーン 190 の上部には第 2 の絶縁層 192 が形成されている。

【0105】

第 2 の絶縁層 192 には、第 1 の外部電極としての第 1 のハンダボール 194 を形成するための第 1 の窪み部 192 a (図 16 B 参照) と、第 2 の外部電極としての第 2 のハンダボール 196 を形成するための第 2 の窪み部 (図示せず) とが形成されている。第 1 の電極 184 から第 1 の窪み部 192 a にかけては配線 198 が形成されており、この配線 198 は、マイクロストリップライン構造の線路となっている。

【0106】

ここで、マイクロストリップライン構造とは、図 17 に示すように、GND プレーンの上に誘電体層 (絶縁層) を配置し、その上に配線を配置した構造を指し、配線の特性インピーダンスを容易にコントロールできる線路構造として知られているものである。

【0107】

ここで、図 17 に示したマイクロストリップライン構造の線路の特性インピーダンス Z_0 は、次式 (2) に示す近似式で表される。

$$Z_0 = (\sigma_0) / \epsilon^{1/2} (a/b + 2/\pi (1 + \ln(1 + \pi a/2b))) \dots (2)$$

【0108】

ただし、 σ_0 : 真空の特性インピーダンス 377Ω 、 a : 線路幅 (mm)、 b : 絶縁層の厚み (mm)、 ϵ : 絶縁層の比誘電率である。

【0109】

配線 198 は、図 16 (B) の断面に示されるように、GND プレーン 190 の上に絶縁層 192 が配置され、その上に配置されたマイクロストリップライン構造の線路となっている。本実施の形態 6 では、この配線 198 が吐出ヘッド 101 により導電性液体を塗布することにより形成される。

【0110】

また、第2の絶縁層192上には、マイクロストリップライン構造を用いてバンドパスフィルタが構成されている。すなわち、互いに電磁結合された複数本（ここでは3本）のストリップ線路200、202、204が一定量離間して形成されている。なお、第1のストリップ線路200は第2の電極186側の端部が延出され第2の電極186パッドに接続されている。また、第3のストリップ線路204の第2の電極186と反対側の端部が図示しない第2の窪み部内に位置するように形成されている。そして、その第2の窪み部内に位置した第3のストリップ線路204上に第2の外部電極としてのハンダボール196が形成されている。なお、第1のストリップ線路200、第2のストリップ線路202及び第3のストリップ線路204は、通過周波数がほぼ $1/4$ 波長のインピーダンス線路となるように構成されている。これら線路もまた、吐出ヘッド101により導電性液体を塗布することにより形成される。

【0111】

かかる構成により、第2の電極186から入力した電気信号が、第2のストリップ線路202に結合して半波長共振を起こし、その電磁エネルギーが第3のストリップ線路204にも結合する。これにより、第2のハンダボール196側に電気信号を伝えることになり、特定周波数で電気信号を通過させるバンドパスフィルタが構成されている。

【0112】

本実施の形態5によれば、マイクロストリップライン構造の線路を形成するに際しても、インクジェット法により導電性液体を塗布することにより形成できる。インクジェット法を用いた場合には、同様の線路をスパッタ法及びフォトリソグラフィ法を用いた薄膜形成技術によって形成する場合に比べて、少ない工程数で製造することが可能となる。その結果、マイクロストリップライン構造の線路によって構成されるバンドパスフィルタを少ない工程数で製造することができ、これにより生産性が向上し、コスト低減を図ることが可能となる。

【0113】

ところで、高周波を扱う半導体装置においては、半導体チップに近接して受動部品を実装する事が求められている。次の図はその説明図である。

【0114】

図18(A)は、周波数の異なる波形を複数示した図で、横軸に配線長、縦軸に電圧を取って示した図である。図8Bは、基板300上に設けられた配線長Xcmの配線302を示す図である。

図18(B)に示す配線302の図示右端部と図示左端部とでは、図8Aより明らかなように、例えば高周波信号aではV1ボルトの差があるのに対し、信号bではV2(<V1)ボルトの差となっている。すなわち、高周波信号を伝送する場合には、配線長による波形の位相の違いが伝送特性に大きく影響することが示されている。従って、高周波になればなるほど、配線長を短くする必要がある。

【0115】

上記各実施の形態によれば、基板上にチップ部品で外付けされていた受動部品(キャパシタ、インダクタ、フィルタ)をCSP構造の半導体装置上に形成できるため、電気特性の向上を図ることができる共に、実装の高密度化を図ることが可能となる。

【0116】

なお、上記各実施の形態における製造方法は、上述したように、ダイシング前のウエーハ上で行っても、ウエーハをダイシングして個々の半導体装置上で行ってもよい。製造コスト面からすると、ダイシング前のウエーハ上で一括して処理する方が好適である。また、本発明の方法は、従来のフォトリソグラフィ法やスパッタ法を用いた方法では製造コスト面から見てほぼ実施不可能であると思われる、ダイシング前のウエーハに対して各半導体チップ毎に異なる電気特性を有する受動部品(インダクタ、キャパシタ、フィルタ)の形成が可能となるという優れた利点がある。すなわち、従来のフォトリソグラフィ法やスパッタ法を用いた薄膜形成技術を用いて、各半導体チップ毎に異なる電気特性を有する受動部品を形成しようとする、ウエーハを半導体チップに分割してから個々の半導体チップに対して成膜時の膜厚を変えるなどして形成する必要があり、作業効率が悪く製造時間が長時間化してしまい、製造コストが増大化することから現実的には困難であると思われる。

【図面の簡単な説明】

- 【図 1】 本発明の前提となる半導体装置の製造方法の説明図（その 1）。
【図 2】 本発明の前提となる半導体装置の製造方法の説明図（その 2）。
【図 3】 本発明の前提となる半導体装置の製造方法の説明図（その 3）。
【図 4】 本発明の前提となる半導体装置を示す平面図。
【図 5】 本発明の実施の形態 1 の半導体装置の製造方法の説明図。
【図 6】 キャパシタの構成説明図。
【図 7】 本発明の実施の形態 2 の半導体装置の製造方法の説明図。
【図 8】 多層配線構造におけるキャパシタ形成例を示す図。
【図 9】 実施の形態 3 の半導体装置の製造方法の説明図。
【図 10】 図 9 に示す製造方法により形成された半導体装置の平面図。
【図 11】 本発明の実施の形態 4 の半導体装置の製造方法の説明図。
【図 12】 インダクタを保護するための保護膜を形成する工程の説明図。
【図 13】 本発明の実施の形態 5 の半導体装置の説明図。
【図 14】 図 13 の半導体装置の製造方法の説明図。
【図 15】 本発明の実施の形態 6 の半導体装置の平面図。
【図 16】 図 15 の断面図。
【図 17】 マイクロストリップライン構造の説明図。
【図 18】 高周波信号を扱う半導体装置における配線長と伝送特性との関係説明図。

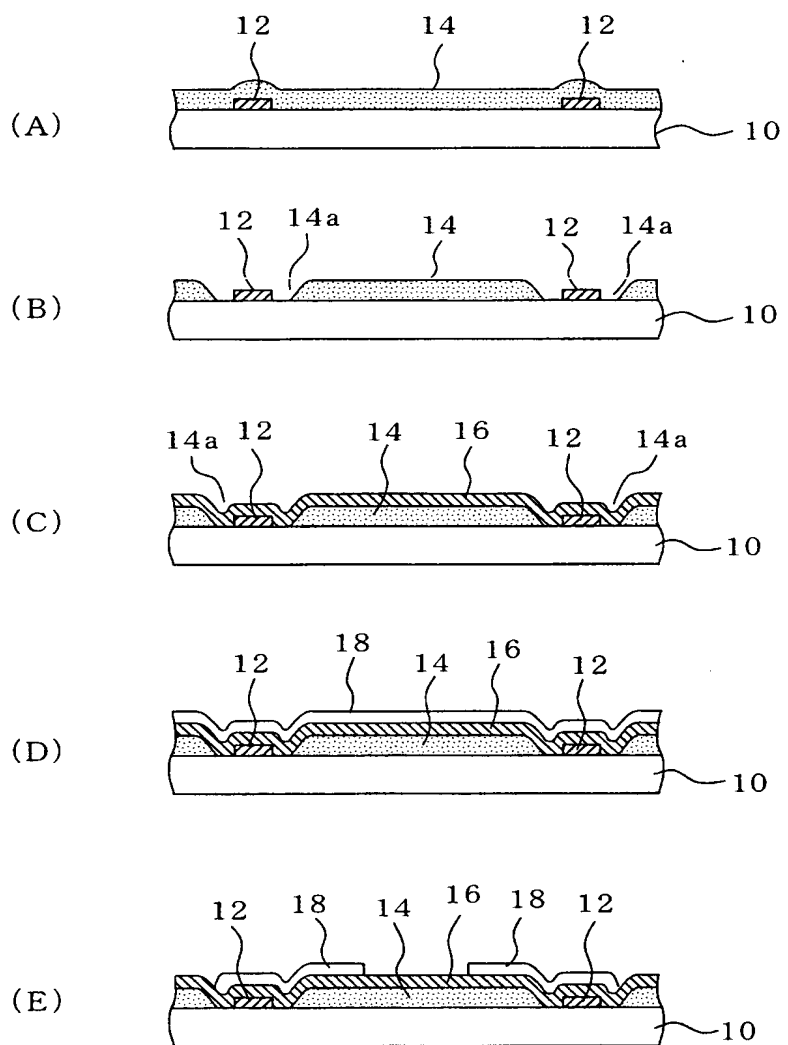
【符号の説明】

3 配線、10 ウエーハ、12, 122, 電極、14 絶縁層、16 配線層、24a, 136 ハンダボール、100, 110, 120, 140, 150, 170, 180 半導体装置、101 吐出ヘッド、102 絶縁層（保護層）、102a 開口部、104, 134, 174 誘電体層、112 導電体層、124 ウエーハ、126 第 1 の絶縁層（第 1 の応力緩和層）、128 第 1 の配線層、128a 第 2 の配線、130 第 2 の絶縁層（第 2 の応力緩和層）、132 第 2 の配線層、132a 第 2 の配線、142 絶縁層（保護層）、142a 開口パターン、144, 154 インダクタ、152 絶縁層（

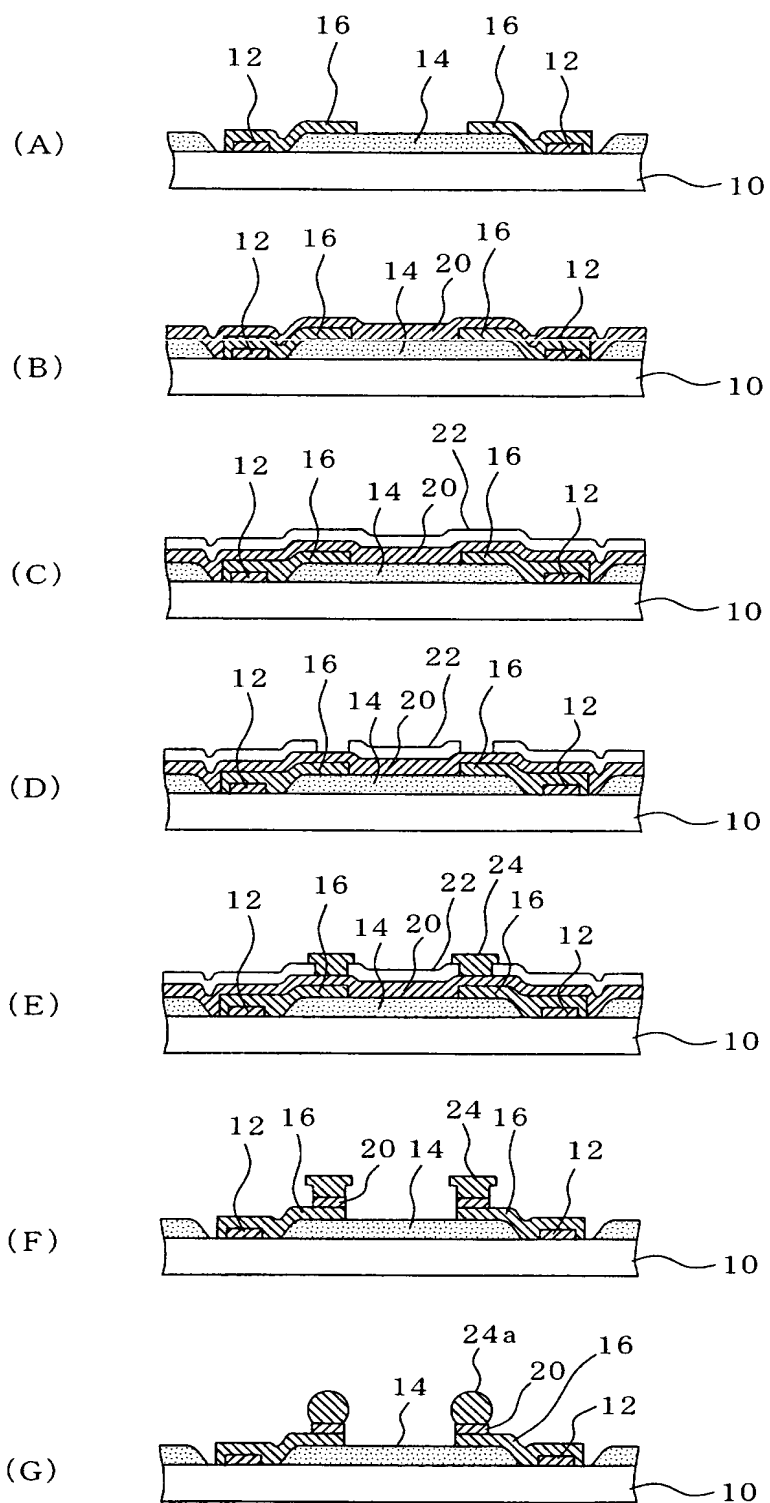
保護層、応力緩和層)、152a 開口部、156 絶縁層(応力緩和層)、156a 開口部、160 レーザーヘッド、186 第2の電極、188 第1の絶縁層(応力緩和層)、190 GNDプレーン、192 第2の絶縁層(応力緩和層)、196 第2のハンダボール、200 第1のストリップ線路、202 第2のストリップ線路、204 第3のストリップ線路

【書類名】 図面

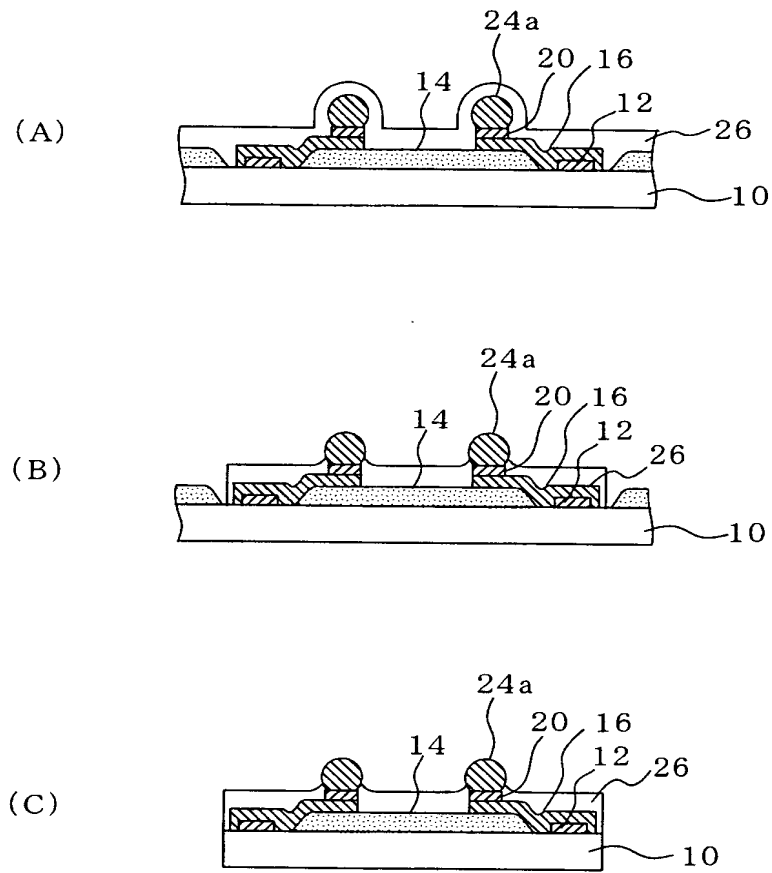
【図 1】



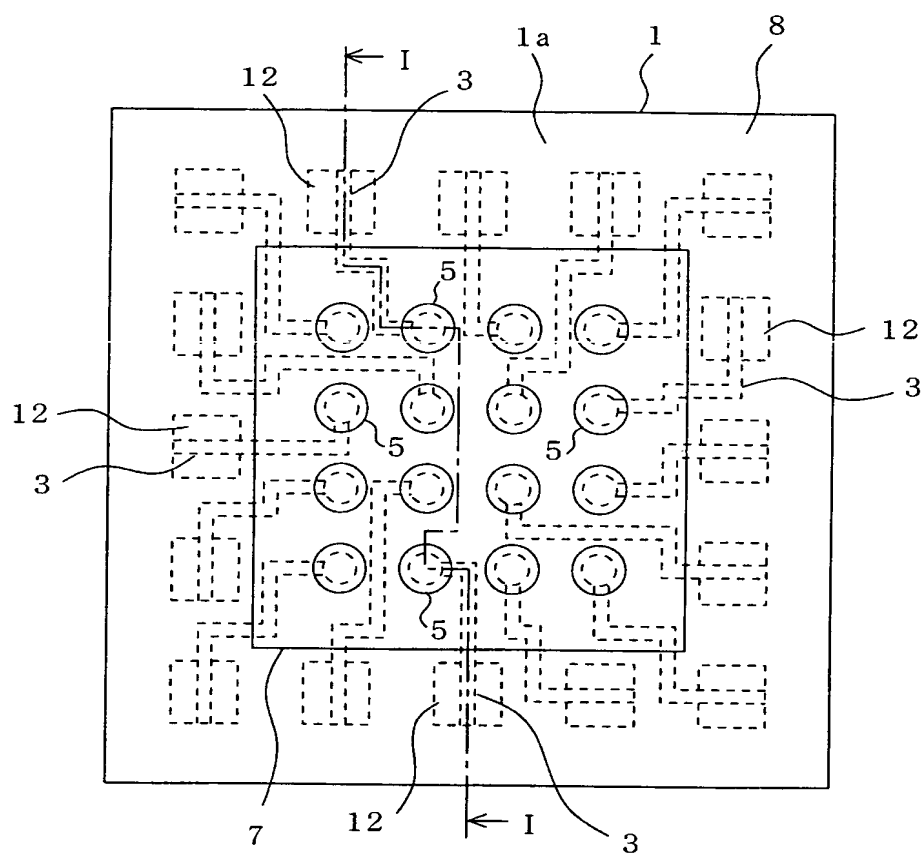
【図 2】



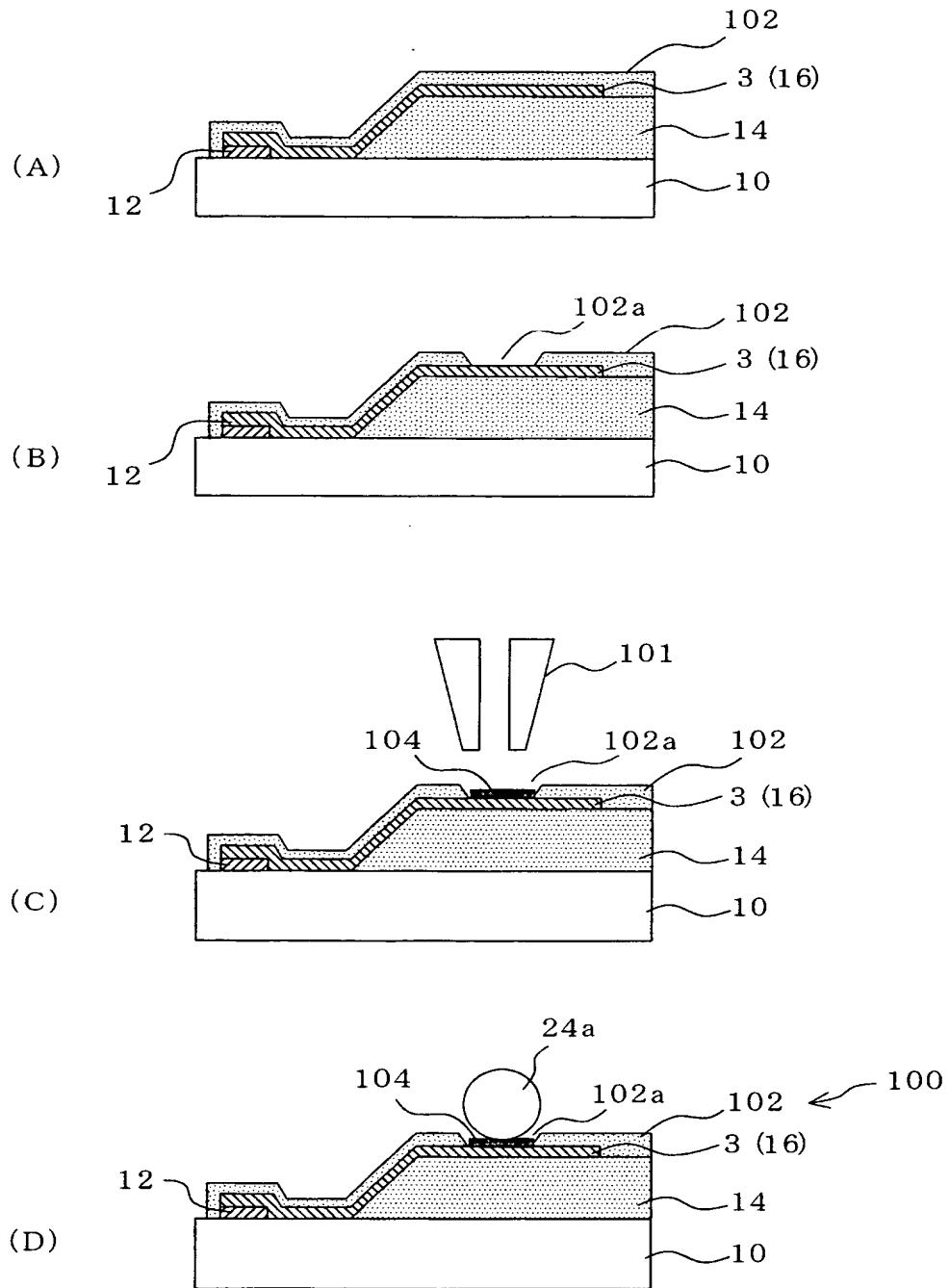
【図 3】



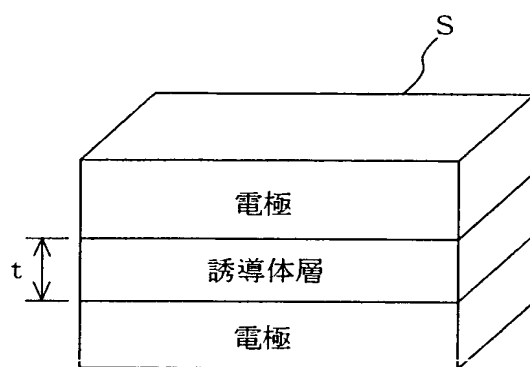
【図 4】



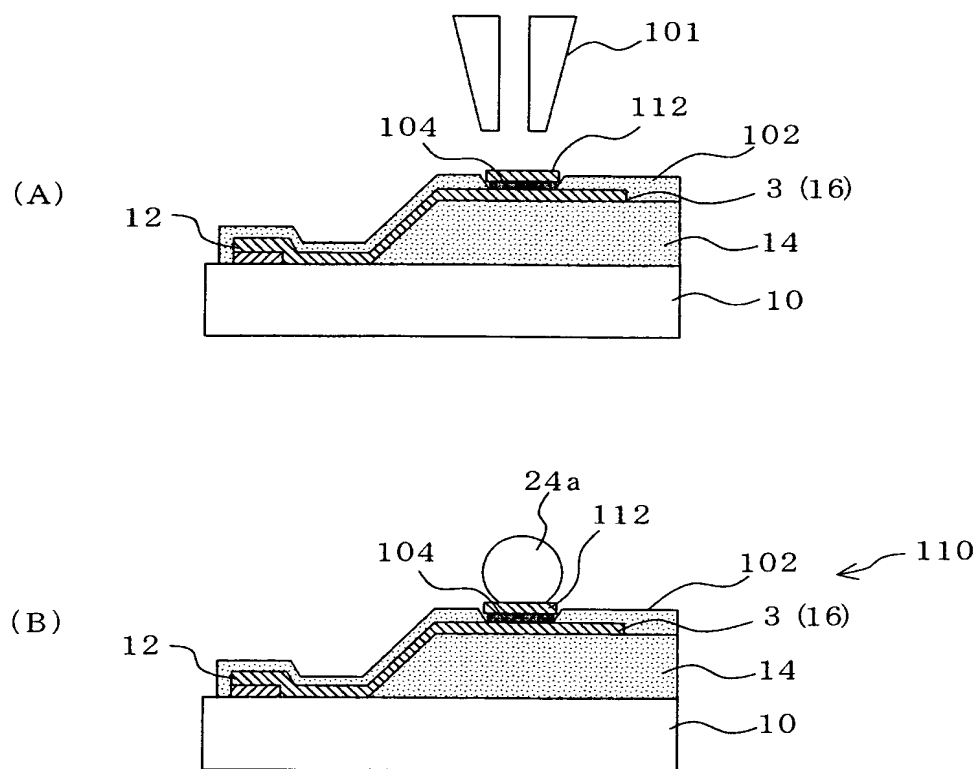
【図 5】



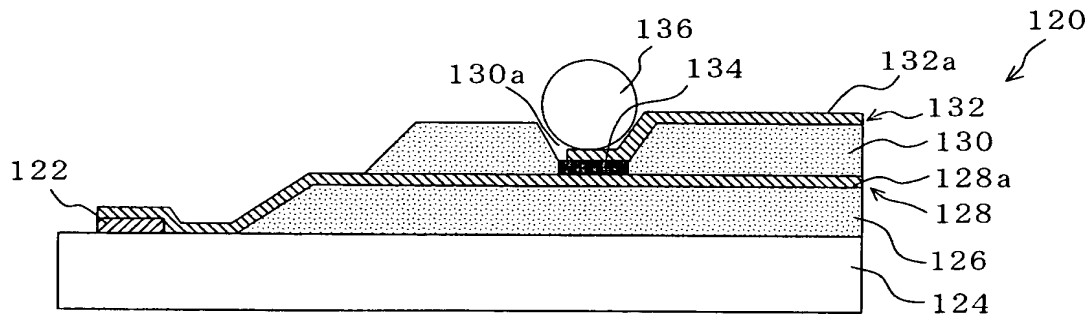
【図 6】



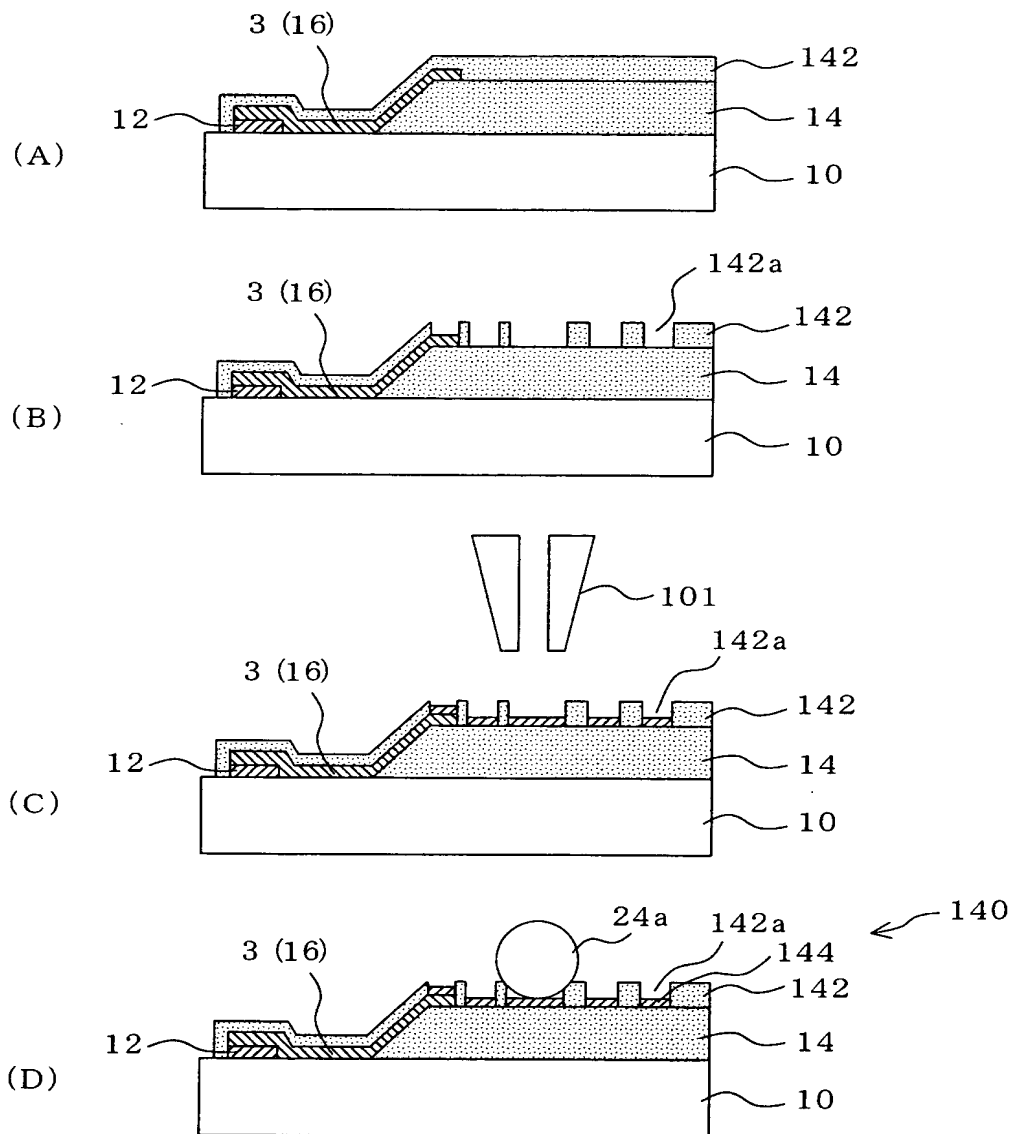
【図 7】



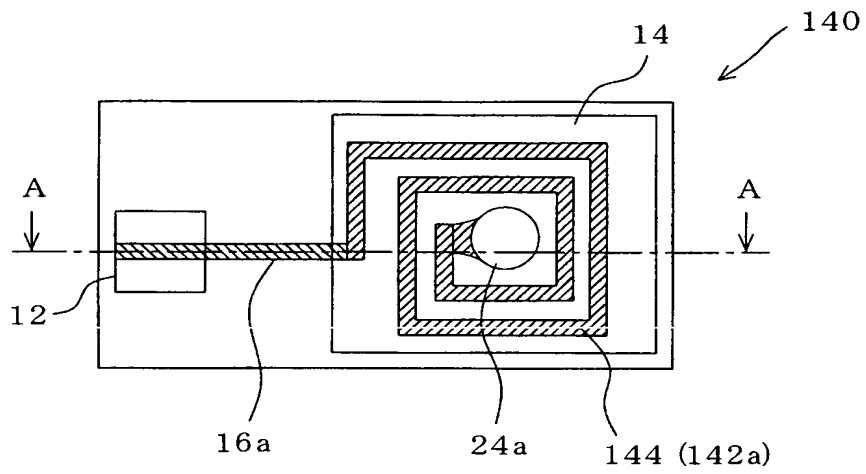
【図 8】



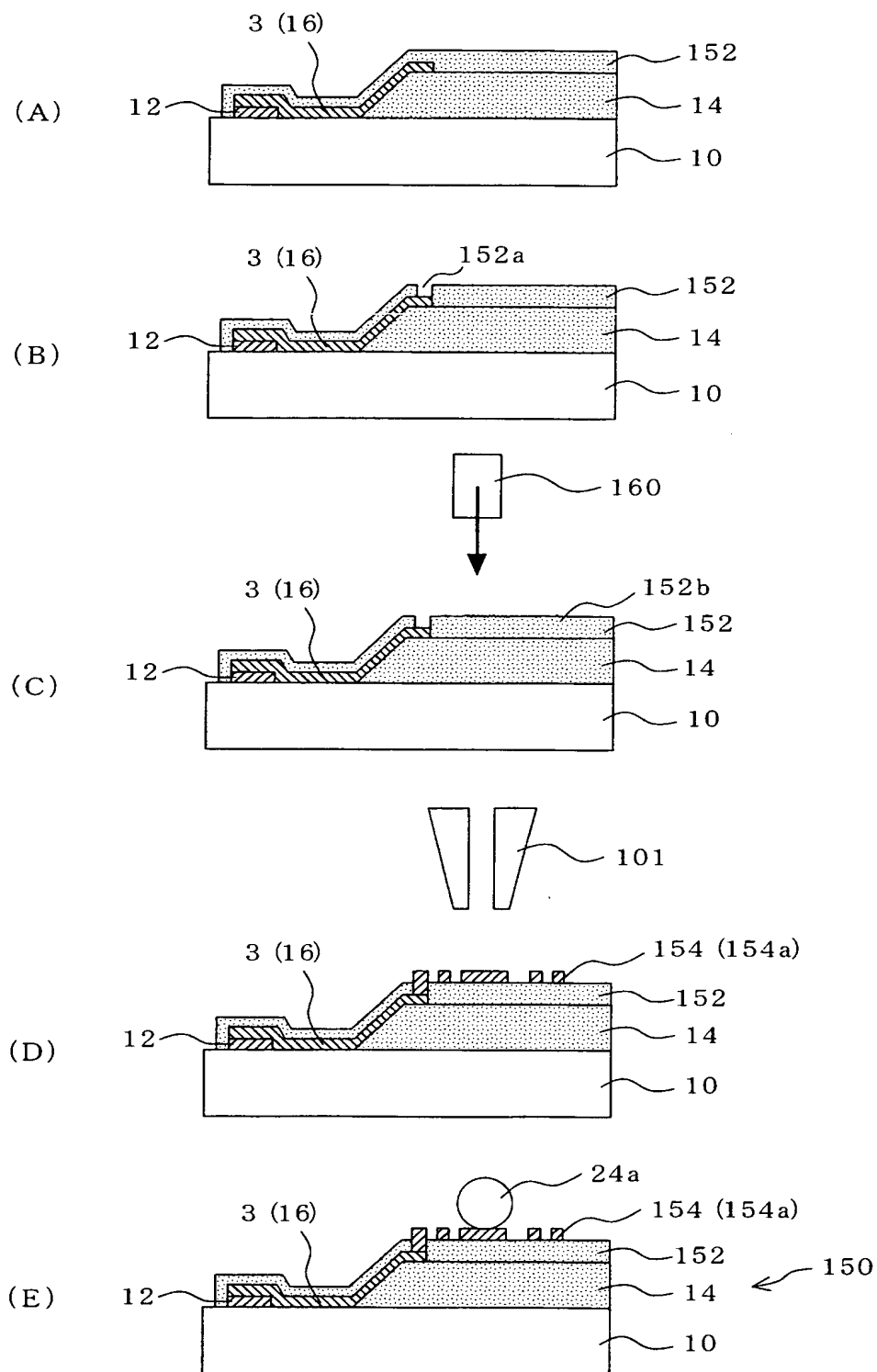
【図 9】



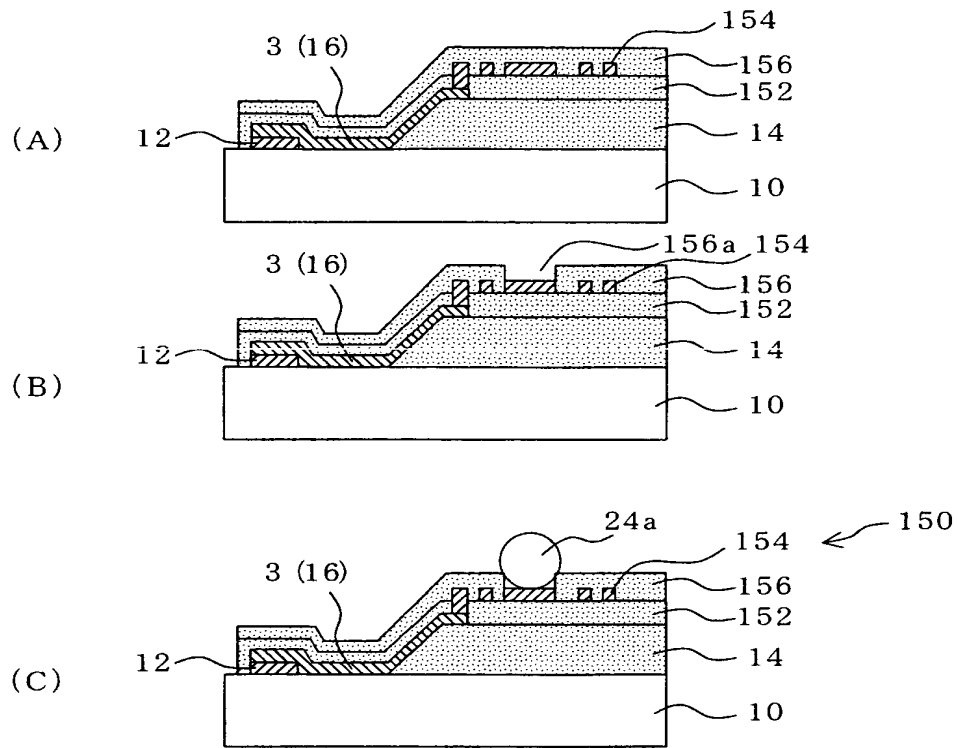
【図 10】



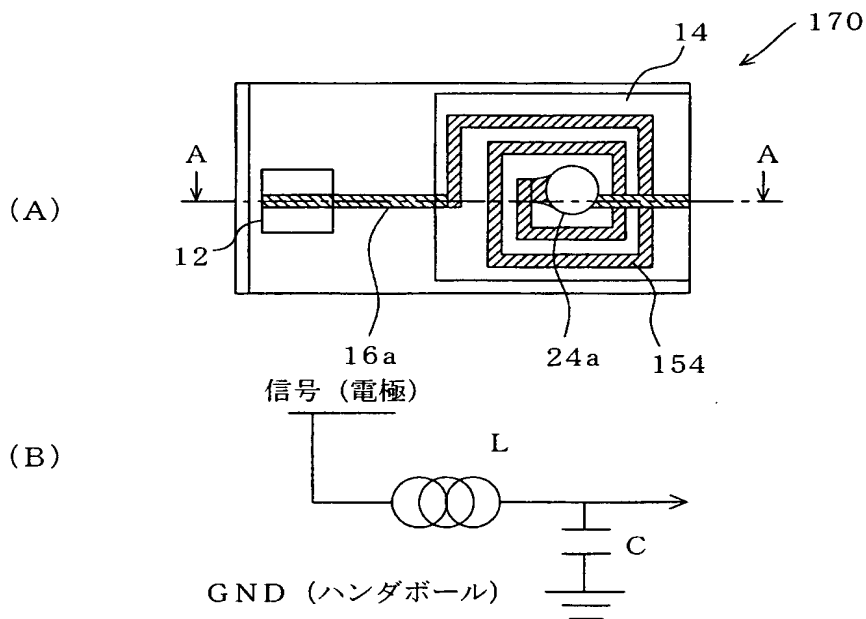
【図 11】



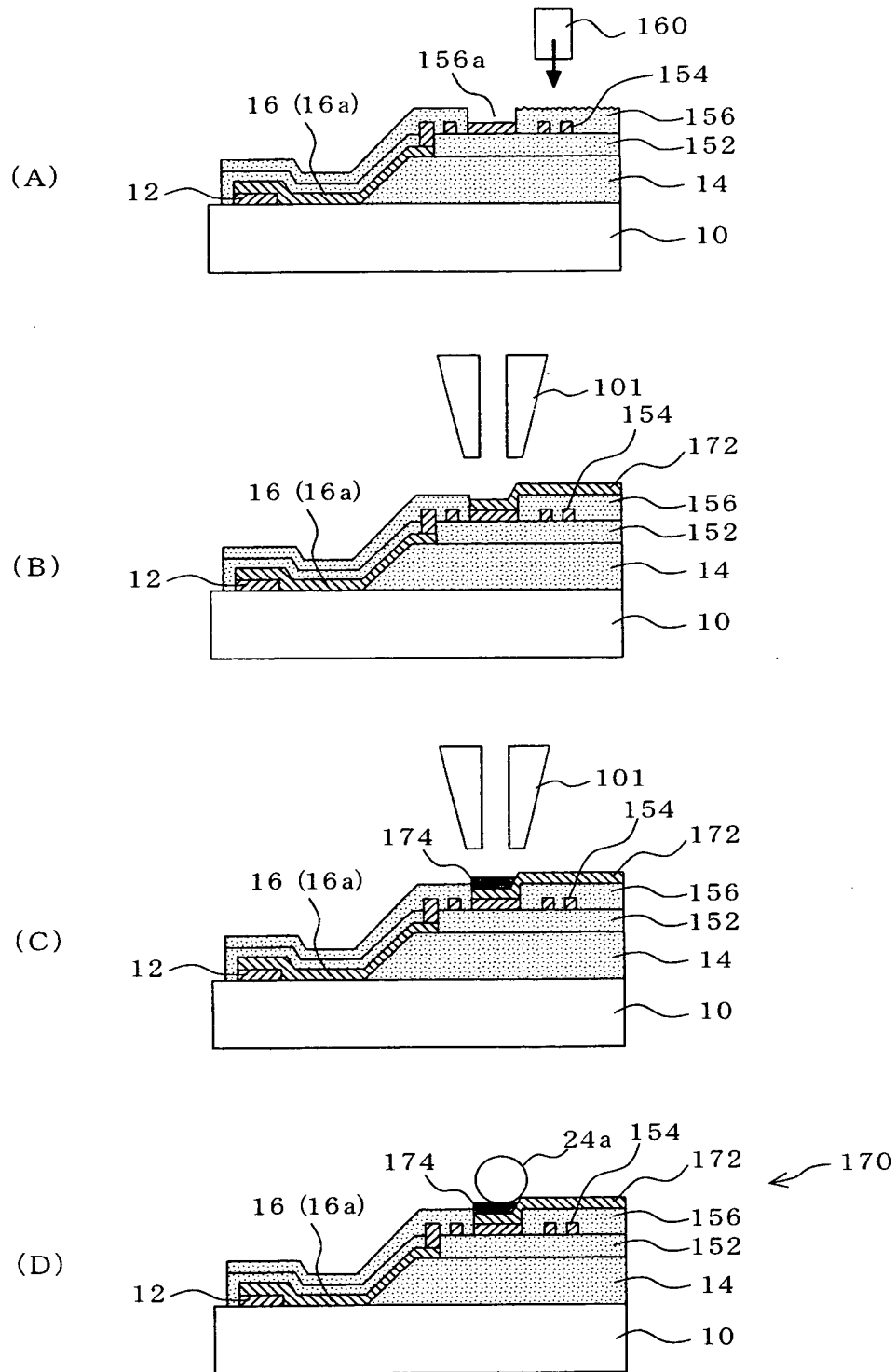
【図 1 2】



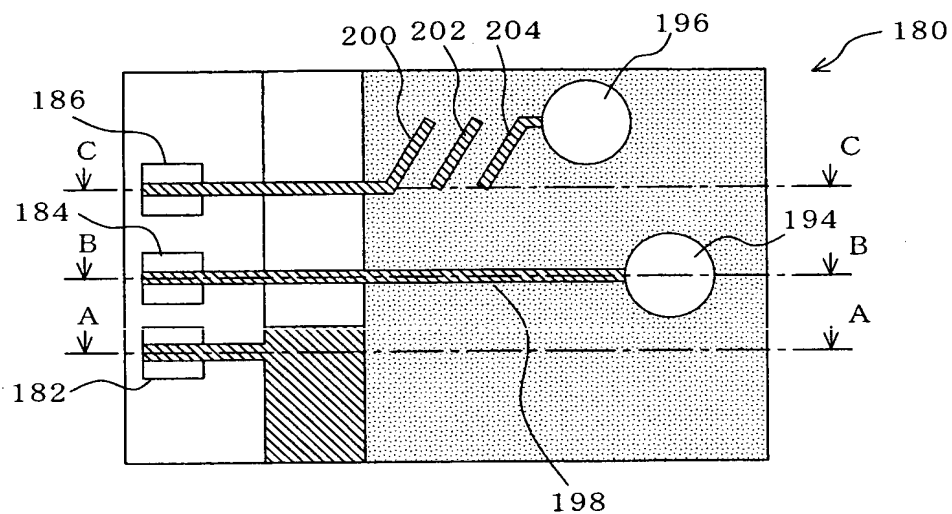
【図 1 3】



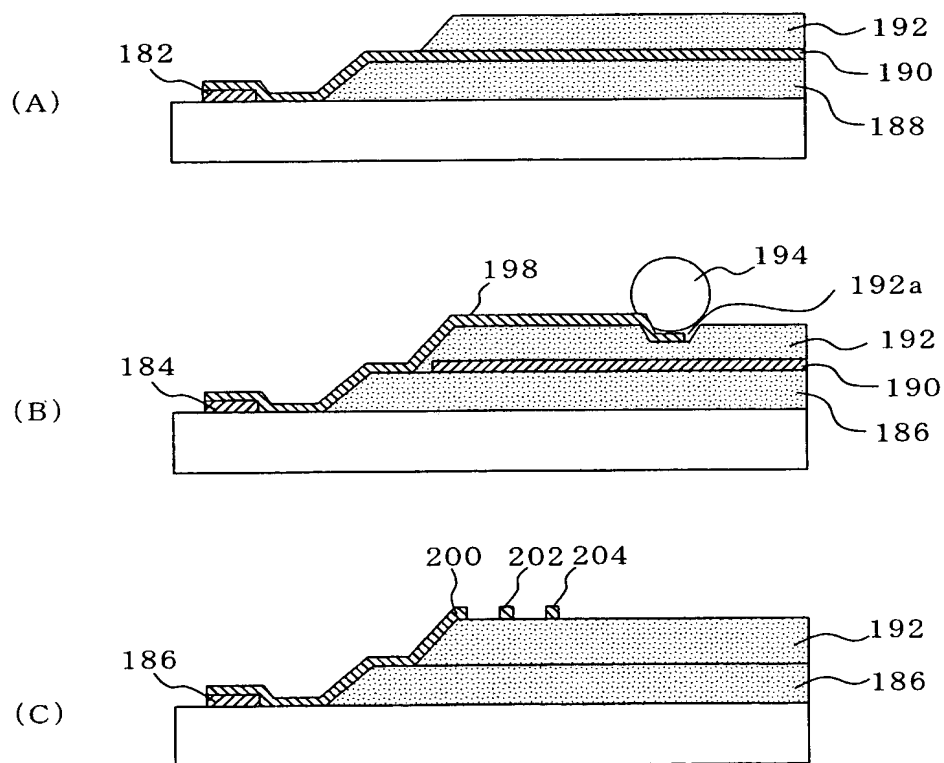
【図 14】



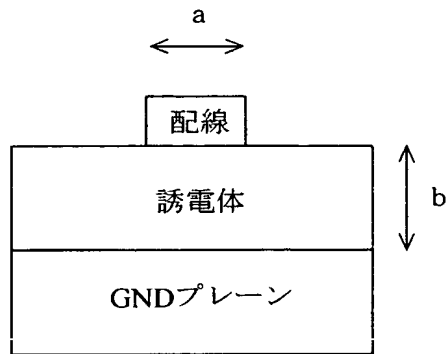
【図 15】



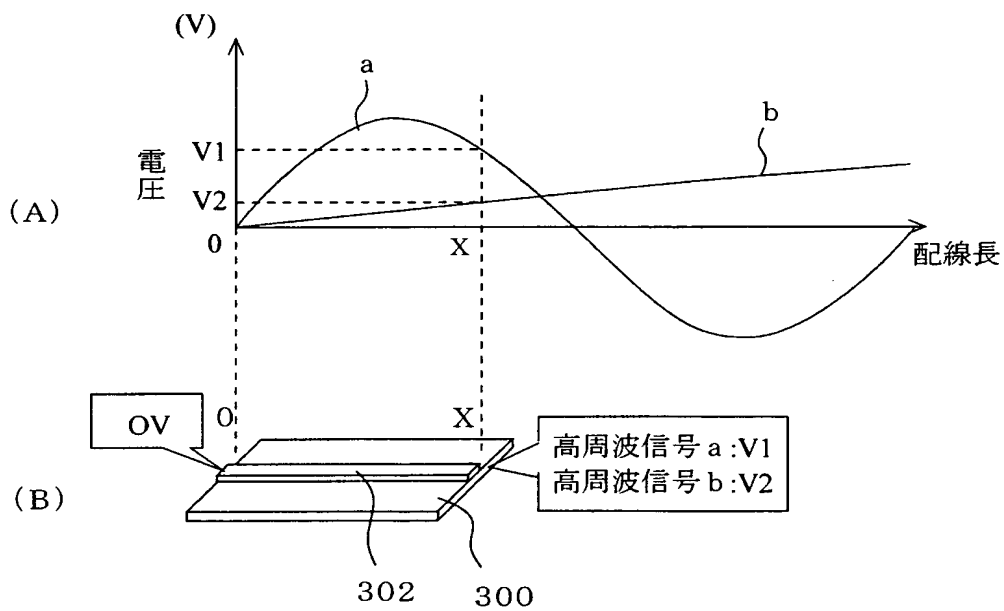
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 製造工程を簡略化してコスト低減を図ることの可能な半導体装置の製造方法及び半導体製造装置を提供する。

【解決手段】 電極 12 の形成されたウエーハ 10 の電極 12 の少なくとも一部を避けた状態となるようにウエーハ 10 上に応力緩和層 14 を形成する工程と、電極 12 から応力緩和層 14 上にかけて設けられる配線 3 からなる配線層 16 を形成する工程と、応力緩和層 14 の上方で配線層 16 の配線 3 に接続される外部電極 24 a を形成する工程とを有する半導体装置の製造方法であって、配線層 16 を形成する工程の後に、配線 3 において外部電極 24 a が接続される部分に、インクジェット法により誘電性液体を塗布して誘電体層 104 を形成する工程を有し、半導体装置にキャパシタを形成する

【選択図】 図 5

特願 2003-006613

出願人履歴情報

識別番号

[000002369]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名

セイコーエプソン株式会社